DRV8262：具有电流检测输出的 60V 单路或双路 H 桥电机驱动器

1 特性

- – 单路或双路 H 桥电机驱动器
  - 驱动一个或两个有刷直流电机
  - 一个步进电机
  - 一个或两个热电冷却器 (TEC)
- **4.5V 至 60V** 工作电源电压范围
- 低 $R_{DS(ON)}$：
  - **100mΩ** HS + LS（**双路** H 桥）
  - **50mΩ** HS + LS（**单路** H 桥）
- 高输出电流能力：
  - 双路 H 桥（24V，25°C）：
    - **8A 峰值**，采用 DDW 封装
    - **16A 峰值**，采用 DDV 封装
  - 单路 H 桥（24V，25°C）：
    - **16A 峰值**，采用 DDW 封装
    - **32A 峰值**，采用 DDV 封装
- 可编程运行接口 -
  - 相位/使能 (**PH/EN**)
  - PWM (**IN/IN**)
- 集成式电流检测和调节
  - 高侧 MOSFET 的电流检测
  - 每个 H 桥的检测输出 (**IPROPI**)
  - 最大电流下的检测精度 **± 4 %**
- 单独的逻辑电源电压 (**VCC**)
- 可配置的关断时间 PWM 斩波
  - 7µs、16µs、24µs 或 32µs
- 可编程故障恢复方法
- 支持 1.8V、3.3V、5.0V 逻辑输入
- 低电流睡眠模式 (**3µA**)
- 保护特性
  - VM 欠压锁定 (UVLO)
  - 电荷泵欠压 (CPUV)
  - 过流保护 (OCP)
  - 热关断 (OTSD)
  - 故障状态输出 (nFAULT)

2 应用

- 有刷直流电机
- 工厂自动化、步进驱动器和机器人
- 医疗成像、诊断和设备
- ATM、点钞机和 EPOS
- TEC 驱动器

3 说明

DRV8262 是一款宽电压、高功率 H 桥电机驱动器，适用于各种工业应用。该器件集成了两个 H 桥来驱动一个或两个直流电机或一个双极步进电机。DRV8262 在双路 H 桥模式下支持高达 16A 的峰值电流，在单路 H 桥模式下支持高达 32A 的峰值电流。该器件还集成了电流检测和调节、电流检测输出以及保护电路。

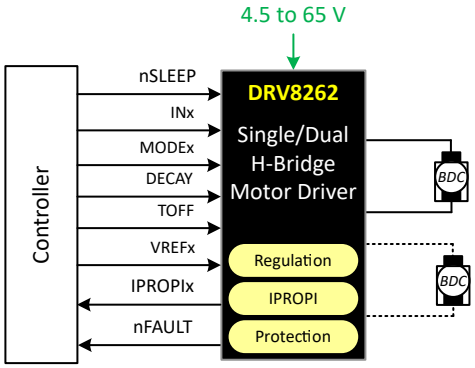
在启动期间和高负载事件中，高侧 MOSFET 两端的集成电流检测功能可实现通过驱动器调节电机电流。利用可调外部电压基准，可设置电流限值。该器件还提供与每个 H 桥的电机电流成正比的输出电流。集成感应消除了对分流电阻的需求，因而可以节省电路板面积并降低系统成本。

该器件提供一种低功耗睡眠模式，可实现超低静态电流。提供的内部保护特性包括：电源欠压锁定 (UVLO)、电荷泵欠压 (CPUV) 保护、输出过流 (OCP) 保护和器件过热 (OTSD) 保护。

器件信息

器件型号	封装[1]	封装尺寸 [2]	本体尺寸（标称值）
DRV8262DDWR	HTSSOP-44（底部散热焊盘）	14mm × 8.1mm	14mm × 6.1mm
DRV8262DDVR	HTSSOP-44（顶部散热焊盘）	14mm × 8.1mm	14mm × 6.1mm

(1) 请参阅数据表末尾的可订购产品附录。
(2) 封装尺寸（长 × 宽）为标称值，并包括引脚（如适用）。



DRV8262 简化原理图

本资源的原文使用英文撰写。 为方便起见，TI 提供了译文；由于翻译过程中可能使用了自动化工具，TI 不保证译文的准确性。 为确认准确性，请务必访问 ti.com 参考最新的英文版本（控制文档）。

内容

1 特性.....1
2 应用.....1
3 说明.....1
4 引脚配置和功能.....3
5 规格.....7
5.1 绝对最大额定值.....7
5.2 ESD 等级.....7
5.3 建议运行条件.....8
5.4 热性能信息.....8
5.5 电气特性.....9
5.6 典型特性.....12
6 详细说明.....16
6.1 概述.....16
6.2 功能方框图.....17
6.3 特性说明.....19
6.4 器件运行模式.....20
6.5 电流检测和调节.....22
6.6 电荷泵.....27
6.7 线性稳压器.....28
6.8 VCC 电压电源.....28
6.9 逻辑电平、三电平和四电平引脚图.....28
6.10 保护电路.....29
6.11 器件功能模式.....31
7 应用和实施.....33
7.1 应用信息.....33
7.2 电源相关建议.....41
7.3 布局.....42
8 封装散热注意事项.....44
8.1 DDW 封装.....44
8.2 DDV 封装.....47
8.3 PCB 材料推荐.....48
9 器件和文档支持.....49
9.1 文档支持.....49
9.2 接收文档更新通知.....49
9.3 支持资源.....49
9.4 商标.....49
9.5 静电放电警告.....49
9.6 术语表.....49
10 修订历史记录.....49
11 机械、封装和可订购信息.....50

Copyright © 2025 Texas Instruments Incorporated

4 引脚配置和功能

DRV8262 采用热增强型 44 引脚 HTSSOP 封装。

- DDW 封装在器件底部包含一个 PowerPAD™。
- DDV 封装在器件顶部包含一个 PowerPAD™，用于与散热器进行热耦合。

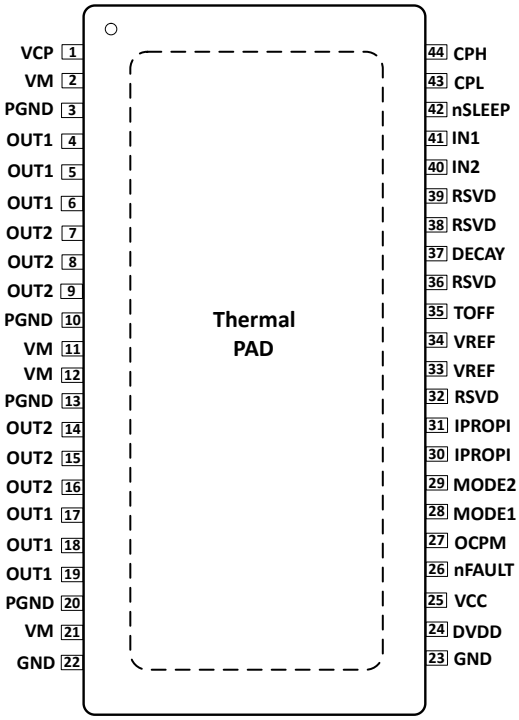


图 4-1. 单路 H 桥模式，DDW 封装，顶视图

Copyright © 2025 Texas Instruments Incorporated

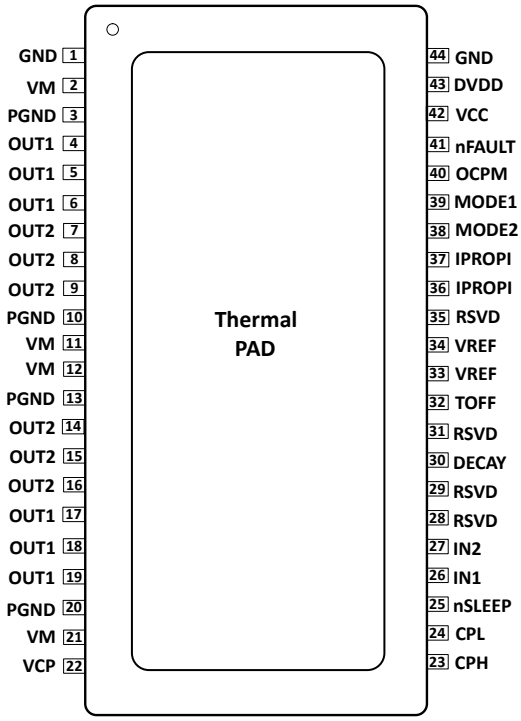


图 4-2. 单路 H 桥模式，DDV 封装，顶视图

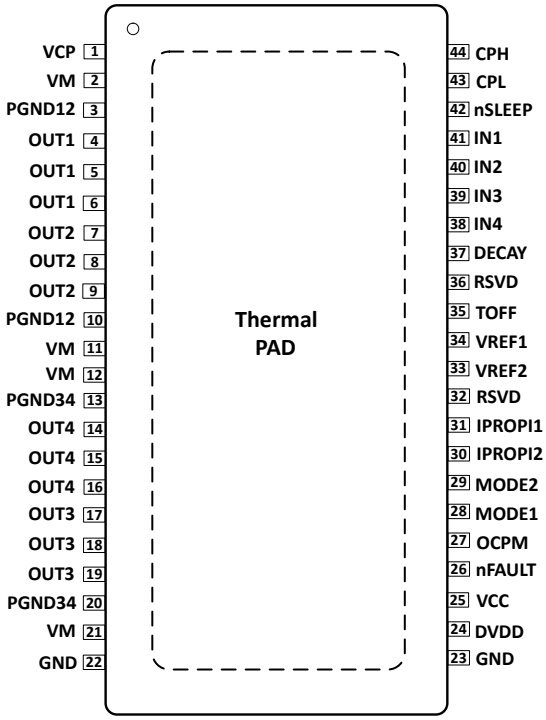


图 4-3. 双路 H 桥模式，DDW 封装，顶视图

Copyright © 2025 Texas Instruments Incorporated

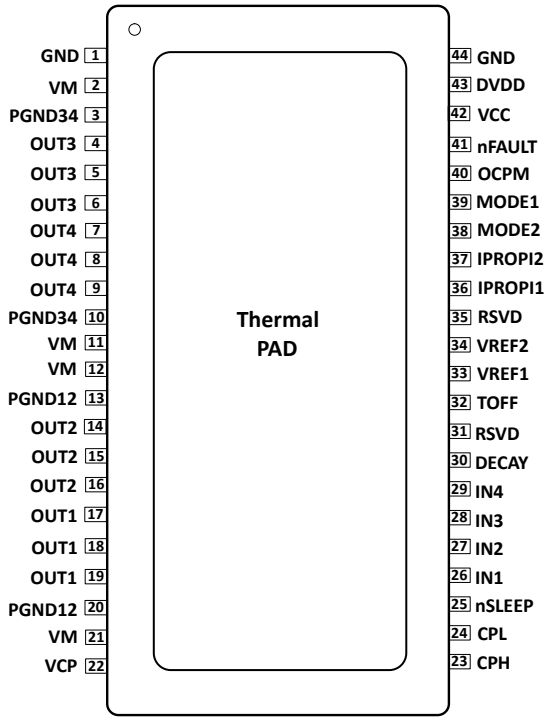


图 4-4. 双路 H 桥模式，DDV 封装，顶视图

表 4-1. 引脚配置

引脚				类型	说明
名称		DDW	DDV		
单路 H 桥	双路 H 桥				
RSVD	IN4	38	29	输入	双路 H 桥模式下 H 桥 2 的 PWM 输入。在单路 H 桥模式下，将该引脚保持未连接状态。
RSVD	IN3	39	28	输入	双路 H 桥模式下 H 桥 2 的 PWM 输入。在单路 H 桥模式下，将该引脚保持未连接状态。
IPROPI	IPROPI2	30	37	输出	双路 H 桥模式下 H 桥 2 的模拟电流输出。在单路 H 桥模式下连接到另一个 IPROPI 引脚。
IPROPI	IPROPI1	31	36	输出	双路 H 桥模式下 H 桥 1 的模拟电流输出。在单路 H 桥模式下连接到另一个 IPROPI 引脚。
VREF	VREF2	33	34	输入	在双路 H 桥模式下设置 H 桥 2 电流的基准输入。在单路 H 桥模式下连接到另一个 VREF 引脚。DVDD 可用于通过电阻分压器提供 VREF。
VREF	VREF1	34	33	输入	在双路 H 桥模式下设置 H 桥 1 电流的基准输入。在单路 H 桥模式下连接到另一个 VREF 引脚。DVDD 可用于通过电阻分压器提供 VREF。
OUT1	OUT1	4、5、6	17、18、19	输出	绕组输出。连接到电机端子。
OUT2	OUT2	7、8、9	14、15、16	输出	绕组输出。连接到电机端子。
OUT1	OUT3	17、18、19	4、5、6	输出	绕组输出。连接到电机端子。
OUT2	OUT4	14、15、16	7、8、9	输出	绕组输出。连接到电机端子。
PGND	PGND12	3、10	13、20	电源	H 桥的电源接地。连接到系统地。

Copyright © 2025 Texas Instruments Incorporated

表 4-1. 引脚配置（续）

引脚				类型	说明
名称		DDW	DDV		
单路 H 桥	双路 H 桥				
PGND	PGND34	13、20	3、10	电源	H 桥的电源接地。连接到系统地。
IN2		40	27	输入	H 桥 1 的 PWM 输入。
IN1		41	26	输入	H 桥 1 的 PWM 输入。
RSVD		36	31	-	保留。保持未连接。
DECAY		37	30	输入	衰减设置引脚。
TOFF		35	32	输入	PWM 关断时间设置引脚。
OCPM		27	40	输入	确定故障恢复方法。根据 OCPM 电压，故障恢复功能可以是闭锁或自动重试。
VCP		1	22	电源	电荷泵输出。将一个电容为 1 µ F、电压为 16V 的 X7R 陶瓷电容器连接至 VM。
VM		2、11、12、21	2、11、12、21	电源	电源。连接到电源电压，并通过两个 0.01 µ F 陶瓷电容器和一个额定电压为 VM 的大容量电容器旁路到 PGND。
GND		22、23	1、44	电源	器件接地。连接到系统地。
CPH		44	23	电源	电荷泵开关节点。在 CPH 到 CPL 之间连接一个电容为 0.1 µ F、额定电压为 VM 的 X7R 陶瓷电容器。
CPL		43	24		
DVDD		24	43	电源	内部 LDO 输出。将电容为 0.47 µ F 至 1 µ F、额定电压为 6.3V 或 10V 的 X7R 陶瓷电容器连接至 GND。
VCC		25	42	电源	内部逻辑块的电源电压。当单独的电源电压不可用时，将 VCC 引脚连接至 DVDD 输出。
nFAULT		26	41	漏极开路	故障指示。故障状态下被拉至逻辑低电平；开漏输出需要外部上拉电阻。
MODE1		28	39	输入	该引脚在双路 H 桥和单路 H 桥运行模式之间进行选择。
MODE2		29	38	输入	该引脚选择相位/使能 (PH/EN) 和 PWM (IN/IN) 之间的接口。 当该引脚接地时，器件使用 PH/EN 接口运行。要配置 PWM 接口，请参阅节 6.4 以了解详细信息。
nSLEEP		42	25	输入	睡眠模式输入。逻辑高电平用于启用器件；逻辑低电平用于进入低功耗睡眠模式。nSLEEP 低电平脉冲将清除锁存故障。
RSVD		32	35	-	保留。保持未连接。
PAD		-	-	-	散热焊盘。

Copyright © 2025 Texas Instruments Incorporated

5 规格

5.1 绝对最大额定值

在自然通风条件下的工作温度范围内测得（除非另有说明）。[1] [2]

	最小值	最大值	单位
电源电压 (VM)	-0.3	70	V
电荷泵电压（VCP、CPH）	-0.3	V_{VM} + 5.75	V
电荷泵负开关引脚 (CPL)	-0.3	V_{VM}	V
nSLEEP 引脚电压 (nSLEEP)	-0.3	V_{VM}	V
内部稳压器电压 (DVDD)	-0.3	5.75	V
外部逻辑电源 (VCC)	-0.3	5.75	V
IPROPI 引脚电压 (IPROPI)	-0.3	DVDD + 0.3	V
控制引脚电压	-0.3	5.75	V
开漏输出电流 (nFAULT)	0	10	mA
基准输入引脚电压 (VREF)	-0.3	5.75	V
PGNDx 至 GND 电压	-0.5	0.5	V
PGNDx 至 GND 电压，< 1 µs	-2.5	2.5	V
OUTx 引脚连续电压	-1	V_{VM} + 1	V
OUTx 引脚 100ns 瞬态电压	-3	V_{VM} + 3	V
峰值驱动电流	受内部限制		A
工作环境温度，T_A	-40	125	°C
工作结温，T_J	-40	150	°C
贮存温度，T_{stg}	-65	150	°C

(1) 在 *绝对最大额定值* 范围外运行可能对器件造成永久损坏。*绝对最大额定值* 并不表示器件在这些条件下或在 *建议的工作条件* 以外的任何其他条件下能够正常运行。如果超出 *建议运行条件* 但在 *绝对最大额定值* 范围内使用，器件可能不会完全正常运行，这可能影响器件的可靠性、功能和性能并缩短器件寿命。
(2) 所有电压值均以网络接地端 GND 为基准。

5.2 ESD 等级

				值	单位
$V_{(ESD)}$	静电放电	人体放电模型 (HBM)，符合 ANSI/ESDA/JEDEC JS-001 [1]		±2000	V
		充电器件模型 (CDM)，符合 ANSI/ESDA/JEDEC JS-002 [2]	转角引脚	±750	
			其他引脚	±500	

(1) JEDEC 文档 JEP155 指出：500V HBM 时能够在标准 ESD 控制流程下安全生产。
(2) JEDEC 文件 JEP157 指出：250V CDM 可实现在标准 ESD 控制流程下安全生产。

Copyright © 2025 Texas Instruments Incorporated

5.3 建议运行条件

在自然通风条件下的工作温度范围内测得（除非另有说明）

		最小值	最大值	单位
V_{VM}	可确保正常（直流）运行的电源电压范围	4.5	60	V
V_I	逻辑电平输入电压	0	5.5	V
V_{VCC}	VCC 引脚电压	3.05	5.5	V
V_{REF}	基准电压 (VREF)	0.05	3.3	V
$I_{RMS,DUAL,DDW}$	RMS 电流，双路 H 桥模式，DDW 封装	0	5	A
$I_{RMS,DUAL,DDV}$	RMS 电流，双路 H 桥模式，DDV 封装	0	10	A
$I_{RMS.SINGLE,DDW}$	均方根电流，单路 H 桥模式，DDW 封装	0	10	A
$I_{RMS,SINGLE,DDV}$	均方根电流，单路 H 桥模式，DDV 封装	0	20	A
T_A	工作环境温度	-40	125	°C
T_J	工作结温	-40	150	°C

5.4 热性能信息

热指标		DDW	DDV	单位
$R_{\theta JA}$	结至环境热阻	22.2	44.2	°C/W
$R_{\theta JC(top)}$	结至外壳（顶部）热阻	9.1	0.7	°C/W
$R_{\theta JB}$	结至电路板热阻	5.3	18.9	°C/W
ψ_{JT}	结至顶部特征参数	0.1	0.3	°C/W
ψ_{JB}	结至电路板特征参数	5.3	18.6	°C/W
$R_{\theta JC(bot)}$	结至外壳（底部）热阻	0.7	不适用	°C/W

对于 DDV 封装，由于裸焊盘位于封装顶部，因此 $R_{\theta JC(top)}$ 是最重要的热阻参数。

5.4.1 瞬态热阻抗和电流能力

基于热模拟的信息

表 5-1. 瞬态热阻抗 ($R_{\theta JA}$) 和电流能力

$R_{\theta JA}$ [°C/W](1)				配置	电流 (A)(2)					
					没有脉宽调制（PWM）(3)				有脉宽调制（PWM）(4)	
0.1s	1s	10s	DC		0.1s	1s	10s	DC	10s	DC
1.8	4.7	8.4	23.3	双 H 桥（两个输出均加载相同的电流）	8	5.7	4.2	2.5	4	2.2
				双 H 桥（仅一个输出加载）	8	8	6	3.5	5.4	3
				单路 H 桥	16	11.3	8.4	4.9	7.9	4.4

(1) 使用 114.3mm x 76.2mm x 1.6mm 4 层 PCB 模拟 – 在顶层和底层使用 2oz 铜，在内部平面上使用 1oz 铜，16cm^2 顶层和底层铜面积，在散热焊盘下方有 13 x 5 个散热过孔阵列，1.1mm 间距，0.2mm 直径，0.025mm 铜镀层。
(2) 在 85°C 环境温度下，估计结温升高至 150°C 的瞬态电流能力。
(3) 只考虑 48V 电源电压下的导通损耗 (I^2R) 和静态电流损耗。根据电气特性表，考虑使用 150°C 时的最大导通电阻值计算导通损耗。
(4) 通过如下公式估计开关损耗：$P_{SW} = V_{VM} \times I_{Load} \times f_{PWM} \times t_{RF}$，其中 V_{VM} = 48V，f_{PWM} = 20KHz，t_{RF} = 110ns

Copyright © 2025 Texas Instruments Incorporated

5.5 电气特性

典型值为 T_A = 25°C 条件下的值。除非另有说明，否则所有限值都是推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
电源电压（VM、DVDD）						
I_{VM}	VM 工作电源电流	nSLEEP = 1，无负载，VCC = 外部 5V		5	8	mA
		nSLEEP = 1，无电机负载，VCC = DVDD		8.5	13	
I_{VMQ}	VM 睡眠模式电源电流	nSLEEP = 0		3	8	µA
t_{SLEEP}	睡眠时间	nSLEEP = 0 至睡眠模式	120			µs
t_{RESET}	nSLEEP 复位脉冲	nSLEEP 低电平至清除故障	20		40	µs
t_{WAKE}	唤醒时间	nSLEEP = 1 至输出转换		0.75	1	ms
t_{ON}	导通时间	VM > UVLO 至输出转换		0.8	1.3	ms
V_{DVDD}	内部稳压器电压	无外部负载，6V < V_{VM} < 60V	4.75	5	5.25	V
		无外部负载，V_{VM} = 4.5V	4.3	4.45		V
电荷泵（VCP、CPH、CPL）						
V_{VCP}	VCP 工作电压	6V < V_{VM} < 60V		V_{VM} + 5		V
$f_{(VCP)}$	电荷泵开关频率	V_{VM} > UVLO；nSLEEP = 1		360		kHz
逻辑电平输入（IN1、IN2、IN3、IN4、OCPM、MODE1、MODE2、nSLEEP）						
V_{IL}	输入逻辑低电平电压		0		0.6	V
V_{IH}	输入逻辑高电平电压		1.5		5.5	V
V_{HYS}	输入逻辑迟滞			100		mV
V_{HYS_nSLEEP}	nSLEEP 逻辑迟滞			300		mV
I_{IL}	输入逻辑低电平电流（MODE2 除外）	V_{IN} = 0V	-1		1	µA
I_{IH}	输入逻辑高电平电流（MODE2 除外）	V_{IN} = 5V			50	µA
R_{PU}	MODE2 内部上拉电阻			220		kΩ
t_{PDH} [1]	INx 高电平到 OUTx 高电平传播延迟			600		ns
t_{PDL} [1]	INx 低电平到 OUTx 低电平传播延迟			600		ns
三电平输入 (DECAY)						
V_{I1}	输入逻辑低电平电压	连接至 GND	0		0.6	V
V_{I2}	输入高阻抗电压	高阻抗（>500kΩ 至 GND）	1.8	2	2.2	V
V_{I3}	输入逻辑高电平电压	连接至 DVDD	2.7		5.5	V
I_O	输出上拉电流			10.5		µA
四电平输入 (TOFF)						
V_{I1}	输入逻辑低电平电压	连接至 GND	0		0.6	V
V_{I2}		330kΩ ± 5% 至 GND	1	1.25	1.4	V
V_{I3}	输入高阻抗电压	高阻抗（>500kΩ 至 GND）	1.8	2	2.2	V
V_{I4}	输入逻辑高电平电压	连接至 DVDD	2.7		5.5	V
I_O	输出上拉电流			10.5		µA
控制输出 (nFAULT)						

Copyright © 2025 Texas Instruments Incorporated

典型值为 T_A = 25°C 条件下的值。除非另有说明，否则所有限值都是推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
V_{OL}	输出逻辑低电平电压	I_O = 5mA			0.3	V
I_{OH}	输出逻辑高电平漏电流		-1		1	µA
电机驱动器输出（OUT1、OUT2、OUT3、OUT4）						
$R_{DS(ONH_DUAL)}$	双路 H 桥、高侧 FET 导通电阻	T_J = 25°C、I_O = -5A		50	60	mΩ
		T_J = 125°C、I_O = -5A		75	94	mΩ
		T_J = 150°C、I_O = -5 A		85	107	mΩ
$R_{DS(ONL_DUAL)}$	双路 H 桥、低侧 FET 导通电阻	T_J = 25°C、I_O = 5A		50	60	mΩ
		T_J = 125°C、I_O = 5A		72	90	mΩ
		T_J = 150°C、I_O = 5 A		80	100	mΩ
$R_{DS(ONH_SINGLE)}$	单路 H 桥、高侧 FET 导通电阻	T_J = 25°C、I_O = -5A		25	30	mΩ
		T_J = 125°C、I_O = -5A		38	47	mΩ
		T_J = 150°C、I_O = -5A		43	54	mΩ
$R_{DS(ONL_SINGLE)}$	单路 H 桥、低侧 FET 导通电阻	T_J = 25°C、I_O = 5A		25	30	mΩ
		T_J = 125°C、I_O = 5A		36	45	mΩ
		T_J = 150°C、I_O = 5 A		40	50	mΩ
I_{LEAK}	输出漏电流至 GND	睡眠模式，H 桥处于高阻态，V_{VM} = 60V			300	µA
t_{RF}	输出上升/下降时间	I_O = 5A，介于 10% 和 90% 之间		110		ns
t_D	输出死区时间	VM = 24V，I_O = 5A		300		ns
电流检测和调节（IPROPI、VREF）						
A_{IPROPI}	电流镜增益			212		µA/A
A_{ERR}	电流镜比例误差	10% 至 20% 额定电流	-12		12	%
		20% 至 40% 额定电流	-7		7	
		40% 至 100% 额定电流	-4		4	
I_{VREF}	VREF 漏电流	VREF = 3.3V			30	nA
t_{OFF}	PWM 关断时间	TOFF = 0		7		µs
		TOFF = 1		16		
		TOFF = Hi-Z		24		
		TOFF = 330kΩ 至 GND		32		
t_{DEG}	电流调节抗尖峰脉冲时间			0.5		µs
t_{BLK}	电流调节消隐时间			1.5		µs
保护电路						
V_{UVLO}	VM UVLO 锁定	VM 下降	4.1	4.25	4.35	V
		VM 上升	4.2	4.35	4.45	
VCC_{UVLO}	VCC UVLO 锁定	VCC 下降	2.7	2.8	2.9	V
		VCC 上升	2.8	2.9	3.05	
$V_{UVLO,HYS}$	欠压迟滞	上升至下降阈值		100		mV
V_{CPUV}	电荷泵欠压	VCP 下降		V_{VM} + 2		V

Copyright © 2025 Texas Instruments Incorporated

典型值为 T_A = 25°C 条件下的值。除非另有说明，否则所有限值都是推荐工作条件下的限值。

参数		测试条件	最小值	典型值	最大值	单位
I_{OCP}	过流保护，DDW 封装	双路 H 桥，流经任何 FET 的电流，DDW 封装	8			A
		单路 H 桥，流经任何 FET 的电流，DDW 封装	16			A
I_{OCP}	过流保护，DDV 封装	双路 H 桥，流经任何 FET 的电流，DDV 封装	16			A
		单路 H 桥，流经任何 FET 的电流，DDV 封装	32			A
t_{OCP}	过流检测延迟			2.1		µs
t_{RETRY}	过流重试时间			4.1		ms
T_{OTSD}	热关断	内核温度 T_J	150	165	180	°C
T_{HYS_OTSD}	热关断迟滞	内核温度 T_J		20		°C

(1) 经设计验证。

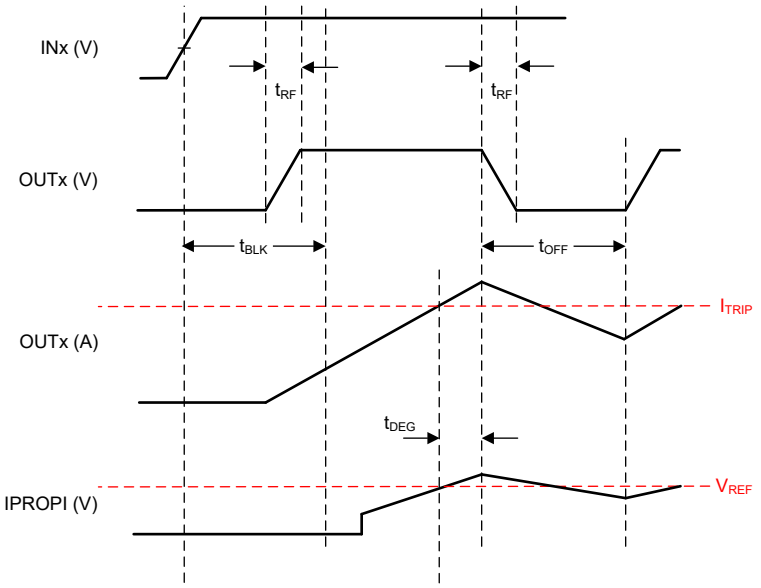


图 5-1. IPROPI 时序图

5.6 典型特性

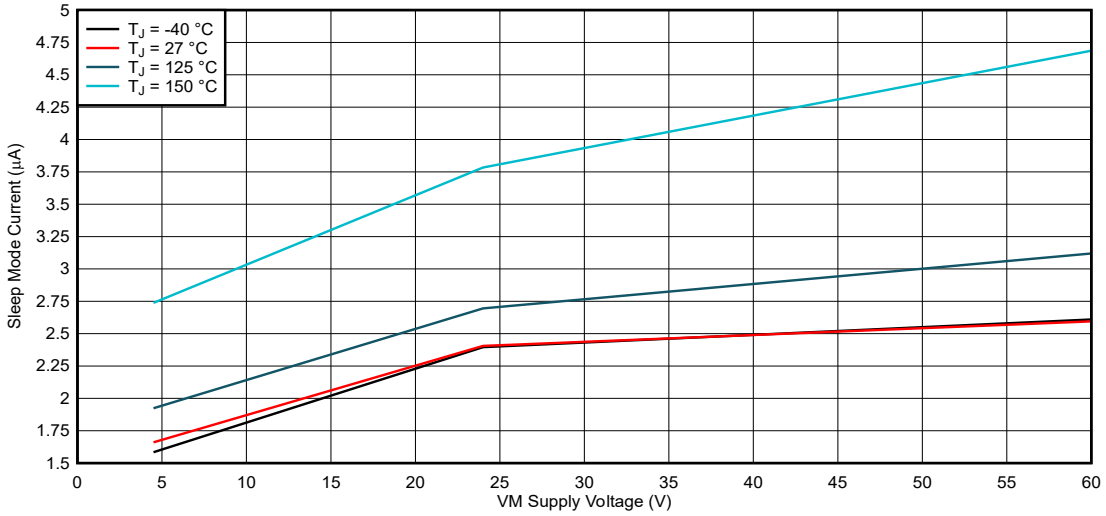


图 5-2. 睡眠模式电源电流

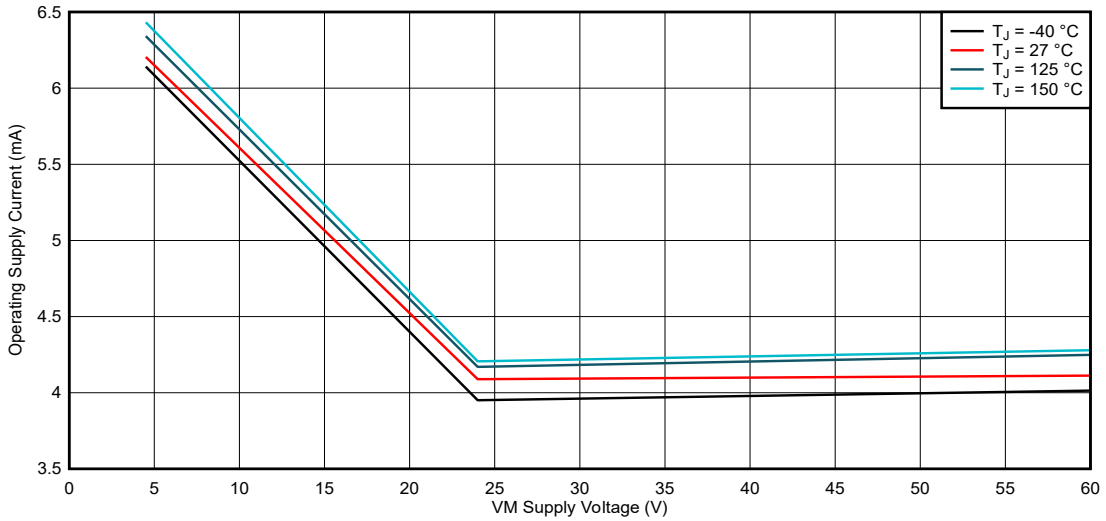


图 5-3. 工作电源电流，VCC = 外部 5V

Copyright © 2025 Texas Instruments Incorporated

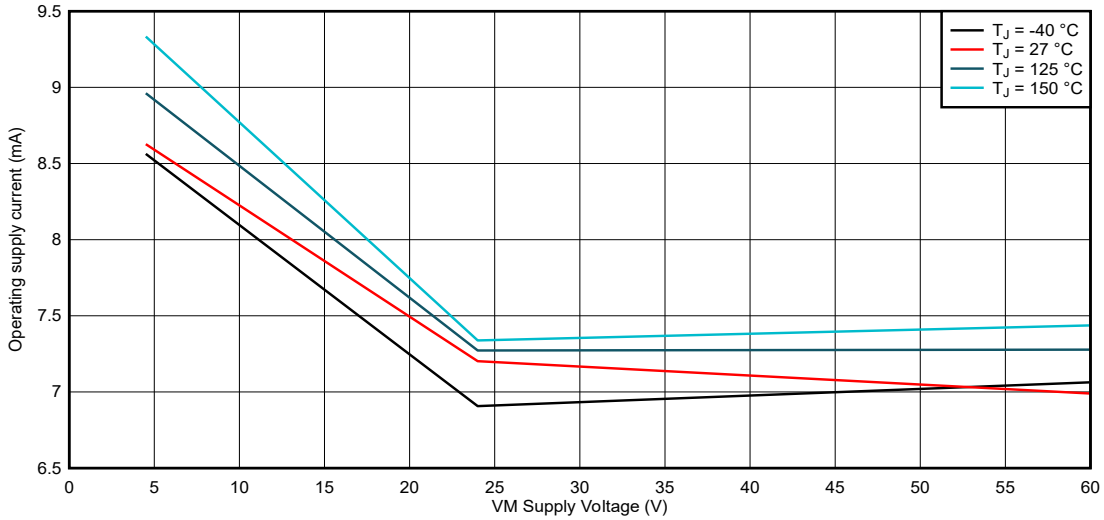


图 5-4. 工作电源电流，VCC = DVDD

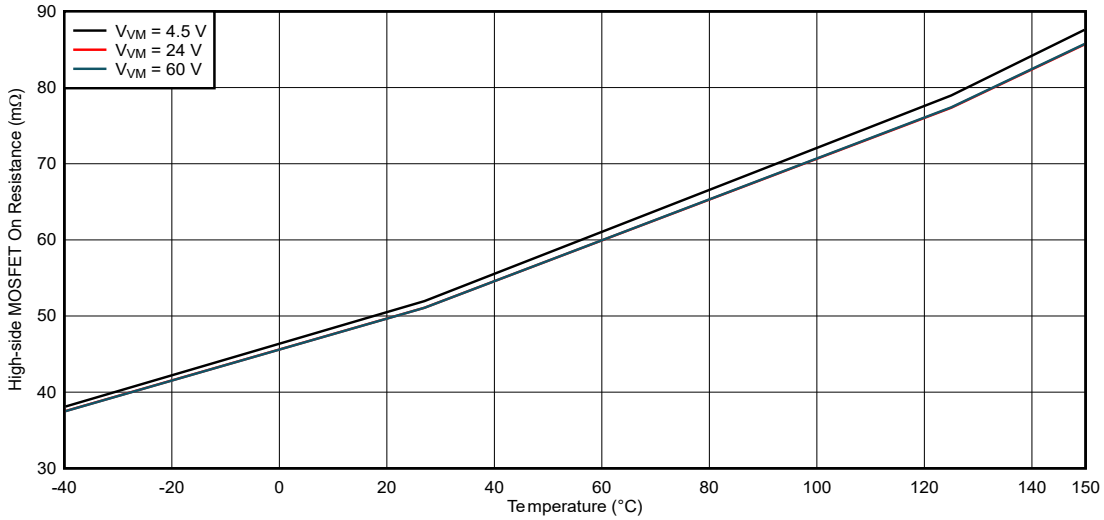


图 5-5. 高侧 FET 导通电阻，双路 H 桥模式

Copyright © 2025 Texas Instruments Incorporated

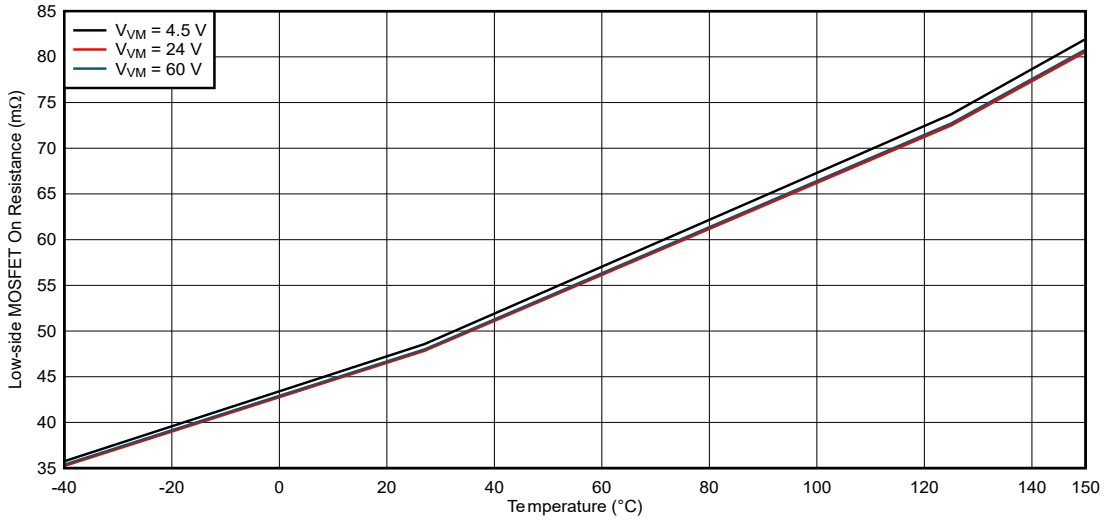


图 5-6. 低侧 FET 导通电阻，双路 H 桥模式

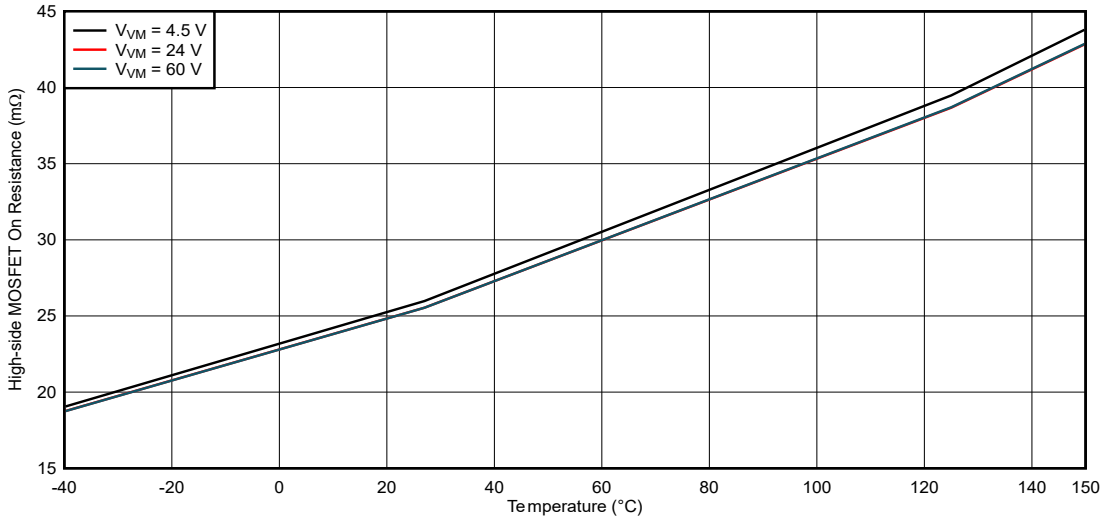


图 5-7. 高侧 FET 导通电阻，单路 H 桥模式

Copyright © 2025 Texas Instruments Incorporated

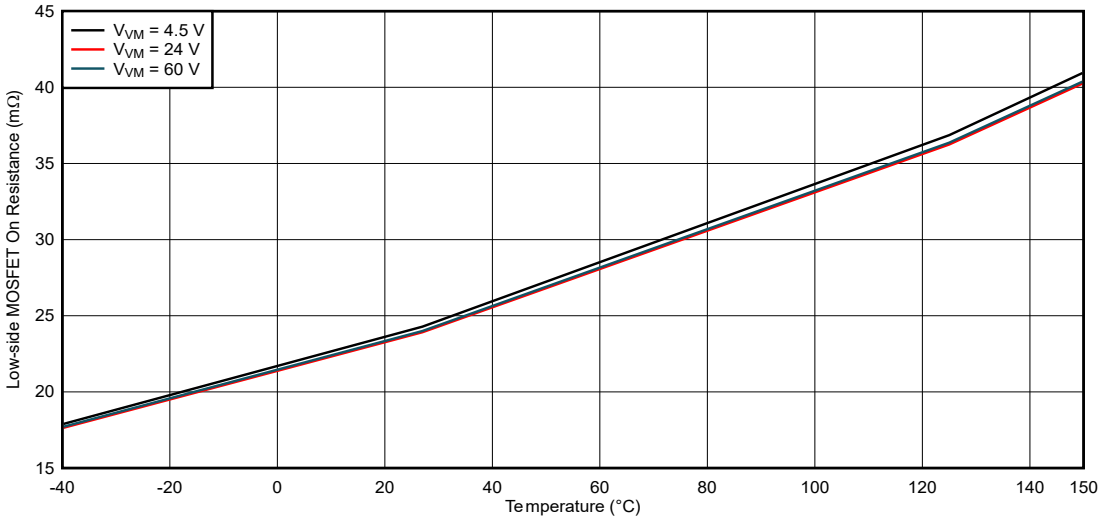


图 5-8. 低侧 FET 导通电阻，单路 H 桥模式

6 详细说明

6.1 概述

DRV8262 是一款 H 桥电机驱动器，工作电压范围为 4.5V 至 60V 并支持高达 32A 的峰值电机电流，适用于各种类型的电机和负载。该器件集成了两个 H 桥输出功率级来驱动两个有刷直流电机。可以将 H 桥并联，以便为单个有刷直流电机提供更高的电流。H 桥的数量和运行接口通过 MODE1 和 MODE2 引脚设置进行选择。

该器件集成了电荷泵，能够以 100% 占空比高效驱动高侧 N 沟道 MOSFET。该器件可由单一电源输入 (VM) 供电。另外，VCC 引脚可连接至第二个电源，为内部逻辑块供电。nSLEEP 引脚提供了一种超低功耗模式，可以在系统不活动期间尽可能地减少电流消耗。

该器件采用两种封装，一种为 44 引脚 HTSSOP (DDW) 封装，封装底部有外露焊盘；另一种为 44 引脚 HTSSOP (DDV) 封装，封装顶部有外露焊盘。在双路 H 桥模式下，DDW 封装为每路输出提供高达 8A 的峰值电流；DDV 封装为每路输出提供高达 16A 的峰值电流。在单路 H 桥模式下，DDW 和 DDV 封装分别提供高达 16A 和 32A 的峰值电流。可以提供的实际电流取决于环境温度、电源电压和 PCB 热设计。

该器件集成了电流检测输出。IPROPI 引脚提供一个小电流，该电流与高侧 MOSFET 中的电流成正比。可以使用外部电阻器 (R_{IPROPI}) 将 IPROPI 引脚处的电流转换为比例电压。集成的电流检测功能使 DRV8262 能够利用一个关断时间固定的 PWM 斩波方案来限制输出电流，并为外部控制器提供负载信息以检测负载或失速条件的变化。在 40% 至 100% 的额定电流下，IPROPI 输出的检测精度为 ±4%。如果需要更高精度的检测，也可以连接外部功率检测电阻。在运行期间，可以通过 VREF 引脚来配置电流调节电平，从而根据系统的需求限制负载电流。

各种集成保护特性将在出现系统故障时保护器件。这些保护功能包括欠压锁定 (UVLO)、电荷泵欠压 (CPUV)、过流保护 (OCP) 和过热关断 (OTSD)。故障情况通过 nFAULT 引脚指示。

Copyright © 2025 Texas Instruments Incorporated

6.2 功能方框图

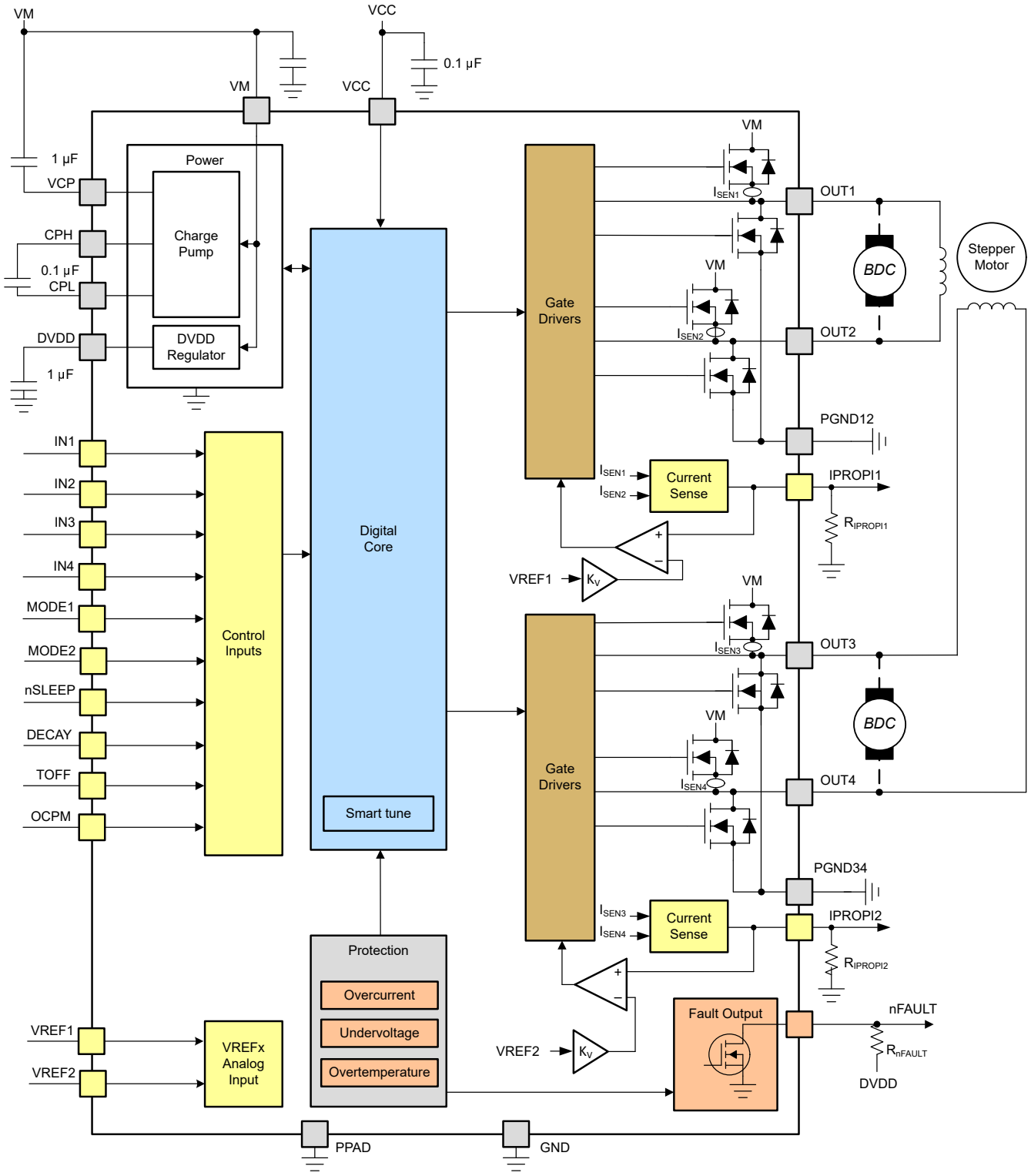


图 6-1. 双路 H 桥方框图

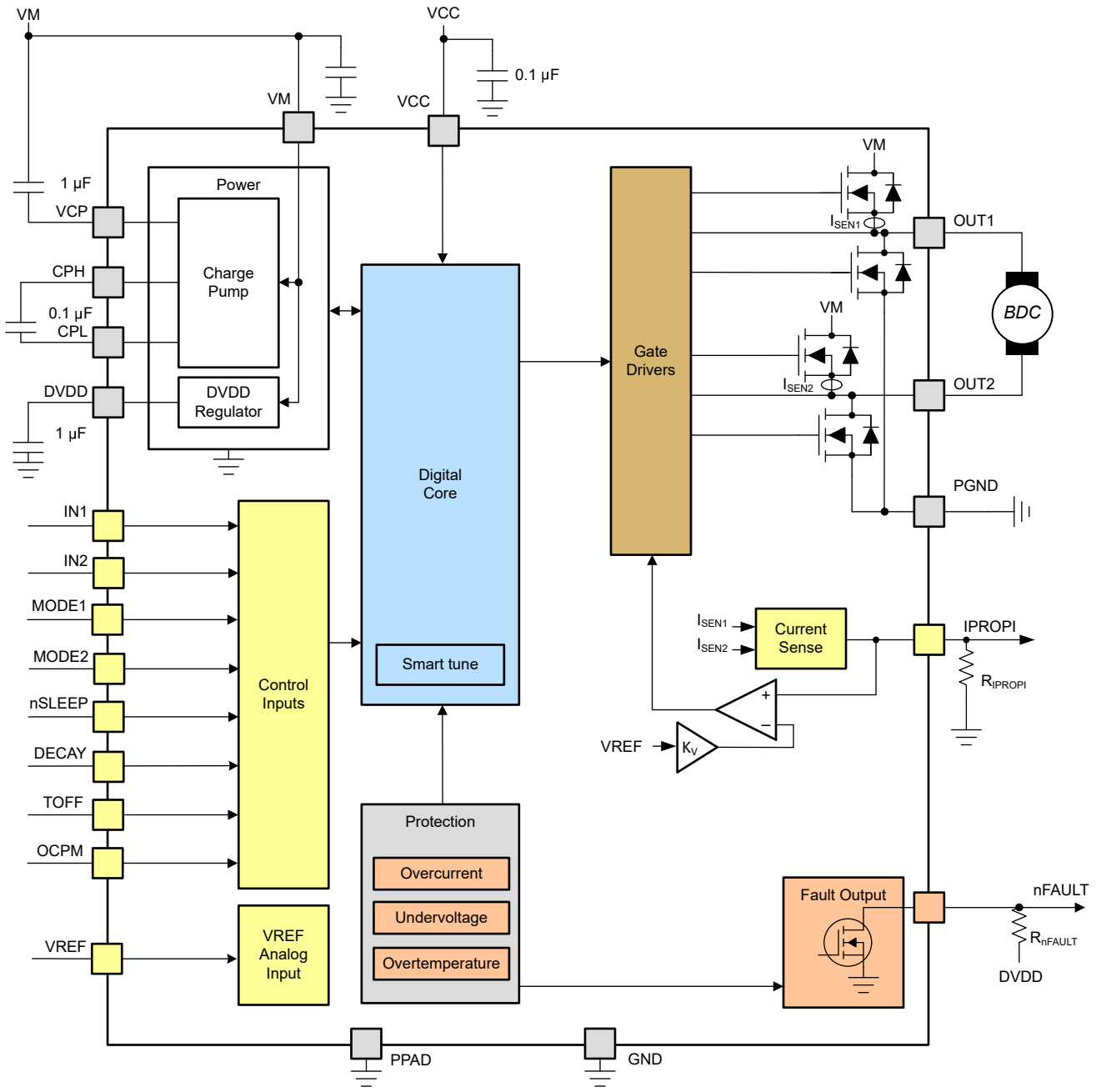


图 6-2. 单路 H 桥方框图

Copyright © 2025 Texas Instruments Incorporated

6.3 特性说明

下表显示了驱动器外部组件的建议值。

表 6-1. 外部组件

元件	引脚 1	引脚 2	推荐
C_{VM1}	VM	PGND12	额定电压为 VM 的 X7R 0.01μF 陶瓷电容器
C_{VM2}	VM	PGND34	额定电压为 VM 的 X7R 0.01μF 陶瓷电容器
C_{VM3}	VM	PGND12	额定电压为 VM 的大容量电容器
C_{VCP}	VCP	VM	16V 的 X7R、1μF 陶瓷电容器
C_{SW}	CPH	CPL	额定电压为 VM 的 X7R 0.1μF 陶瓷电容器
C_{DVDD}	DVDD	GND	额定电压为 10V 的 X7R 1μF 陶瓷电容器
C_{VCC}	VCC	GND	额定电压为 6.3V 或 10V 的 X7R 0.1μF 陶瓷电容器
R_{nFAULT}	DVDD 或 VCC	nFAULT	10kΩ 电阻器
R_{REF1}	VREFx	DVDD	用于设置电流调节阈值的电阻。
R_{REF2}	VREFx	GND	
$R_{IPROPIx}$	IPROPIx	GND	有关详细信息，请参阅节 6.5.2。

6.3.1 展频

展频或频率抖动通过将窄带信号转换为宽带信号，可将能量分散在多个频率上，从而降低 EMI 的影响。图 6-3 说明了随时间操作时钟频率对分散能量有何影响。

在 DRV8262 中，用户可以操作数字电路的内部时钟频率（典型值 10MHz）和电荷泵时钟（典型值 357kHz）来降低峰值能量，并将能量分散到其他频率及其谐波。展频特性与输出压摆率控制相结合，可最大限度减少器件的辐射发射，帮助器件通过严格的 EMI 标准。

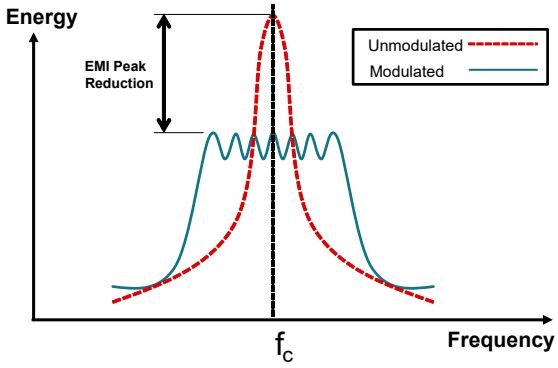


图 6-3. 展频频率调制降低 EMI

当 DRV8262 上电时，启用展频。有许多方法可以实现展频。DRV8262 使用三角模拟调制曲线。图 6-4 和图 6-5 展示了内部数字时钟和电荷泵时钟围绕其各自中心频率的展频曲线。数字时钟在 9MHz 和 11MHz 之间以 14 个步长等量变化。

备注

中心频率本身会随工艺和温度的变化而变化，并且除此之外还有展频引起的变化。

Copyright © 2025 Texas Instruments Incorporated

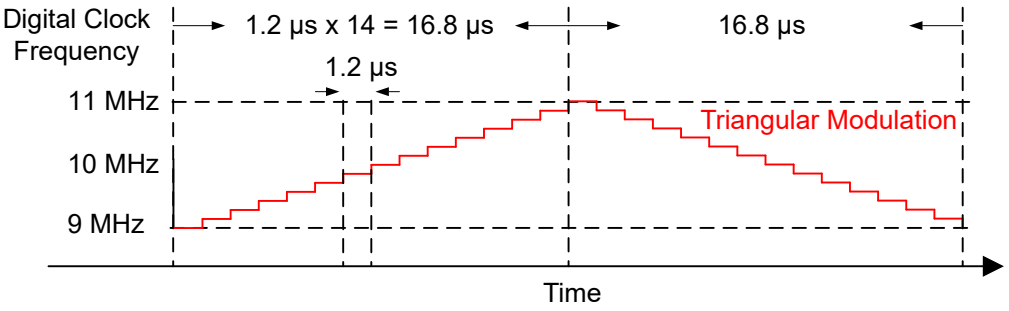


图 6-4. 内部数字时钟的三角展频

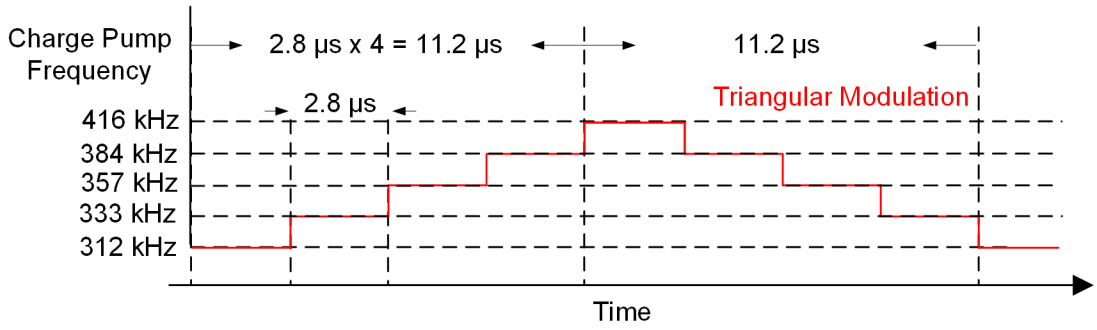


图 6-5. 电荷泵时钟的三角展频

6.4 器件运行模式

DRV8262 通过 PH/EN 或 PWM 接口支持双路或单路 H 桥。运行模式通过 MODE1 和 MODE2 引脚进行选择，如表 6-2 所示。

- 当通过 nSLEEP 引脚启用器件或在上电时，MODE1 和 MODE2 引脚状态被锁存。
- MODE2 引脚必须接地才能选择 PH/EN 接口。
- 要选择 PWM 接口，请将 MODE2 引脚保持悬空或将 MODE2 引脚连接到 DVDD。

表 6-2. 运行模式

MODE1	MODE2	双路或单路 H 桥	接口
0	0	双通道	PH/EN
	悬空或 DVDD	双通道	PWM
1	0	单通道	PH/EN
	悬空或 DVDD	单通道	PWM

INx 输入可设置为静态电压以实现 100% 占空比驱动，INx 输入也可设置为脉宽调制以实现可变电机转速。可以在施加 VM 电源之前为输入引脚供电。

节 6.4.1 和节 6.4.2 显示了每个接口的真值表。请注意，这些表并未考虑内部电流调节特性。此外，当在半桥的高侧和低侧 MOSFET 之间切换时，DRV8262 会自动处理死区时间生成。

6.4.1 双路 H 桥模式 (MODE1 = 0)

- 如果 MODE1 引脚在上电时处于逻辑低电平，器件将锁存至双路 H 桥模式。

Copyright © 2025 Texas Instruments Incorporated

- 在此模式下，可以驱动两个有刷直流电机或一个步进电机。
- MODE2 引脚配置 PH/EN 和 PWM 之间的运行接口。
  - PH/EN 模式允许根据接口的速度和方向类型来控制 H 桥。
  - PWM 接口允许 H 桥输出变为高阻态，而无需使 nSLEEP 引脚变为逻辑低电平。

双路 H 桥模式的真值表如表 6-3 和表 6-4 所示。

表 6-3. 具有 PH/EN 接口的双路 H 桥

nSLEEP	IN1/IN3	IN2/IN4	OUT1/OUT3	OUT2/OUT4	说明
0	X	X	高阻态	高阻态	休眠
1	0	X	H	H	制动（高侧慢速衰减）
1	1	0	L	高电平	反向 (OUT2/4 -> OUT1/3)
1	1	1	H	L	正向 (OUT1/3 -> OUT2/4)

表 6-4. 具有 PWM 接口的双路 H 桥

nSLEEP	IN1/IN3	IN2/IN4	OUT1/OUT3	OUT2/OUT4	说明
0	X	X	高阻态	高阻态	休眠
1	0	0	高阻态	高阻态	滑行（H 桥输出高阻态）
1	0	1	L	高电平	反向 (OUT2/4 -> OUT1/3)
1	1	0	H	L	正向 (OUT1/3 -> OUT2/4)
1	1	1	H	H	制动（高侧慢速衰减）

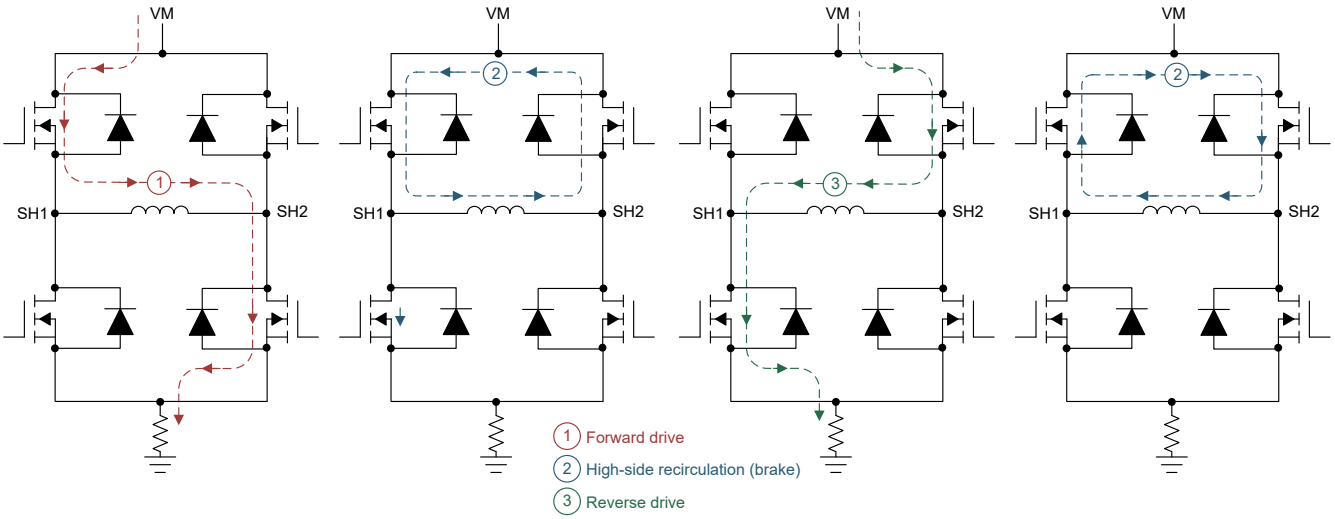


图 6-6. 电流路径

6.4.2 单路 H 桥模式 (MODE1 = 1)

如果 MODE1 引脚在上电时处于逻辑高电平状态，器件将锁存至单路 H 桥模式。在此模式下，该器件可驱动一个有刷直流电机。表 6-5 和表 6-6 显示了单路 H 桥模式的真值表。

表 6-5. 具有 PH/EN 接口的单路 H 桥

nSLEEP	IN1	IN2	OUT1/3	OUT2/4	说明
0	X	X	高阻态	高阻态	休眠
1	0	X	H	H	制动（高侧慢速衰减）

Copyright © 2025 Texas Instruments Incorporated

表 6-5. 具有 PH/EN 接口的单路 H 桥（续）

nSLEEP	IN1	IN2	OUT1/3	OUT2/4	说明
1	1	0	L	高电平	反向 (OUT2/4 -> OUT1/3)
1	1	1	H	L	正向 (OUT1/3 -> OUT2/4)

表 6-6. 具有 PWM 接口的单路 H 桥

nSLEEP	IN1	IN2	OUT1/OUT3	OUT2/OUT4	说明
0	X	X	高阻态	高阻态	休眠
1	0	0	高阻态	高阻态	滑行（H 桥输出高阻态）
1	0	1	L	高电平	反向 (OUT2/4 -> OUT1/3)
1	1	0	H	L	正向 (OUT1/3 -> OUT2/4)
1	1	1	H	H	制动（高侧慢速衰减）

6.5 电流检测和调节

该器件集成了高侧 MOSFET 两端的电流检测、电流调节和电流检测反馈功能。这些功能使器件能够在不使用外部检测电阻或电流检测电路的情况下检测电机电流，因此减小了系统的尺寸并降低了系统的成本和复杂程度。这样，器件还能够在发生电机失速或高扭矩事件的情况下限制电机电流，并通过 IPROPI 输出为控制器提供关于负载电流的详细反馈。

6.5.1 电流检测和反馈

该器件在单路 H 桥模式下运行时支持 1 个 IPROPI 输出，在双路 H 桥模式下运行时支持 2 个 IPROPI 输出。

IPROPI 引脚输出的电流与 H 桥高侧 FET 中的电流成正比，由电流镜增益 A_{IPROPI} 进行调节。可以使用方程式 1 计算出 IPROPI 输出电流。只有当电流在高侧 MOSFET 中从漏极流向源极时，方程式 1 中的 I_{HS1} 和 I_{HS2} 才有效。如果电流从源极流向漏极，则该通道的 I_{HS1} 和 I_{HS2} 的值为零。因此，IPROPI 引脚并不表示在快速衰减模式（滑行模式）或低侧慢速衰减模式下运行时的电流。IPROPI 引脚表示正向驱动、反向驱动和高侧慢速衰减下的 H 桥电流，从而可以在典型有刷直流电机应用中进行连续的电流监控。

甚至在滑行模式下，也可以在驱动或慢速衰减模式下短暂地重新启用驱动器，并在再次切换回滑行模式之前测量此电流，从而对电流进行采样。

$$I_{PROPI} = (I_{HS1} + I_{HS2}) \times A_{IPROPI} \quad (1)$$

将每个 IPROPI 引脚连接到外部电阻器 (R_{IPROPI}) 进行接地，从而利用 I_{IPROPI} 模拟电流输出在 IPROPI 引脚上产生一个成比例的电压 (V_{IPROPI})。这样即可使用标准模数转换器 (ADC) 将负载电流作为 R_{IPROPI} 电阻器两端的压降进行测量。可以根据应用中的预期负载电流来调节 R_{IPROPI} 电阻器的大小，以利用控制器 ADC 的整个量程。该器件采用了一个内部钳位电路，可限制 VREF 引脚上相对于 V_{VREF} 的 V_{IPROPI}，并在出现输出过流或发生意外高电流事件时保护外部 ADC。

可以使用方程式 2 计算对应于输出电流的 IPROPI 电压。

$$V_{IPROPI}\,(V) = I_{PROPI}\,(A) \times R_{IPROPI}\,(\Omega) \quad (2)$$

IPROPI 电压小于 VREF 的最大建议值，即 3.3V。对于 R_{IPROPI} 电阻器，10%、5%、1% 和 0.1% 都是有效的容差值。典型的建议值为 1%，这是性能与成本间的更佳权衡。

Copyright © 2025 Texas Instruments Incorporated

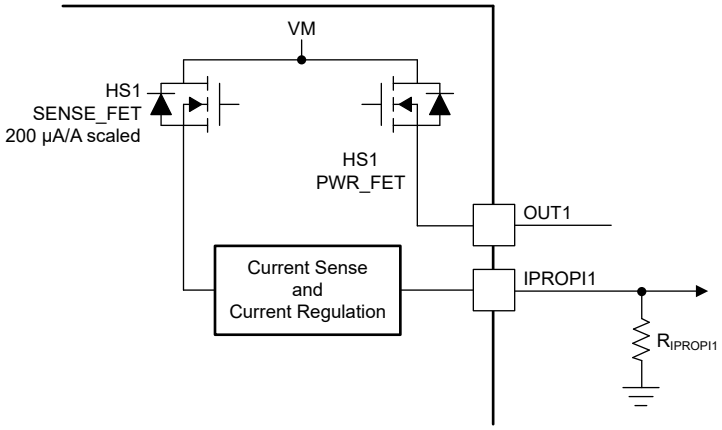


图 6-7. 集成电流检测

“电气特性”表中的 A_{ERR} 参数是 A_{IPROPI} 增益的误差。该参数表示 I_{OUT} 电流中增加的偏移量误差和增益误差带来的综合影响。

6.5.2 电流调节

可通过 VREF 电压 (V_{VREF}) 与 IPROPI 输出电阻器 (R_{IPROPI}) 设置电流斩波阈值 (I_{TRIP})。可通过将外部 R_{IPROPI} 电阻器和 V_{VREF} 之间的压降与内部比较器进行比较来执行此操作。

$$I_{TRIP} \times A_{IPROPI} = V_{VREF}\ (V) / R_{IPROPI}\ (\Omega) \quad (3)$$

例如，在双路 H 桥模式下，要将 I_{TRIP} 设置为 5A，而 V_{VREF} 为 3.3V，R_{IPROPI} 必须为：

$R_{IPROPI} = V_{VREF}/(I_{TRIP} \times A_{IPROPI}) = 3.3/(5 \times 212 \times 10^{-6}) = 3.09k\Omega$

在单路 H 桥模式下，将两个 IPROPI 引脚连接在一起。在双路 H 桥模式下，有两个 VREF 引脚，这允许为每个有刷直流电机设置单独的电流斩波阈值。

可以禁用内部电流调节，方法是将 IPROPI 绑定到 GND 并将 VREF 引脚电压设置为高于 GND 的值（如果不需要电流反馈）。如果需要电流反馈但不需要电流调节，则需要设置 V_{VREF} 和 R_{IPROPI}，使 V_{IPROPI} 永远不会达到 V_{VREF} 阈值。

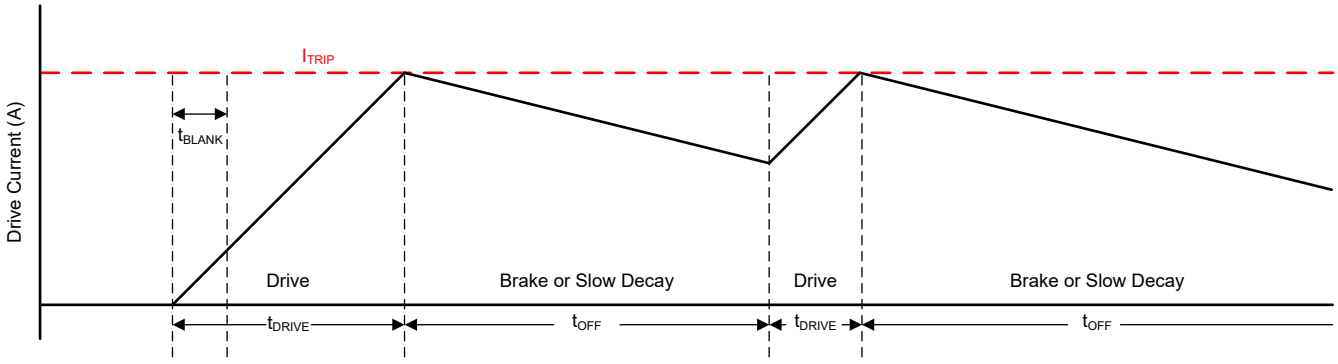


图 6-8. 电流调节

流经电机绕组的电流由一个可调节关断时间的 PWM 电流调节电路进行调节。在 PWM 电流斩波期间，将启用 H 桥以驱动电流流过电机绕组，直至达到 PWM 电流斩波阈值。

当达到 I_{TRIP} 电流时，对于单路 BDC 或双路 BDC 应用，在 DECAY 引脚接地的情况下，该器件通过启用两个高侧 FET 达到 t_{OFF} 时间（由 TOFF 引脚编程）来强制进行慢速电流衰减。

Copyright © 2025 Texas Instruments Incorporated

当 t_{OFF} 时间已过且电流电平降至电流调节 (I_{TRIP}) 电平以下时，将根据输入重新启用输出。如果在 t_{OFF} 时间过后，电流仍高于 I_{TRIP} 电平，则器件将强制执行时间相同的另一个 t_{OFF} 时间段。这一“双倍 t_{OFF}”时间将持续，直至电流在 t_{OFF} 时间结束时小于 I_{TRIP}。

在电流调节过程中，可以切换输入以沿相反方向驱动负载，从而更快地衰减电流。例如，如果负载在进入电流调节之前处于正向驱动状态，则只有当驱动器强制执行电流调节时，负载才能进入反向驱动状态。

对于单路或双路 BDC 应用，DECAY 引脚要保持接地，以便在 t_{OFF} 期间实现高侧慢速衰减。对于步进应用，DECAY 引脚电压根据所需的衰减模式而定。由 DECAY 引脚来选择衰减模式，如表 6-7 所示。

表 6-7. 衰减模式设置

DECAY	衰减模式
0	慢速衰减（制动或高侧再循环）
1	智能调优动态衰减
高阻态	混合衰减：快 30%

如果 INx 控制引脚输入的状态在 t_{OFF} 时间内发生变化，则 t_{OFF} 时间的剩余部分将被忽略，输出将再次跟随输入。图 6-9 展示了这种情况。

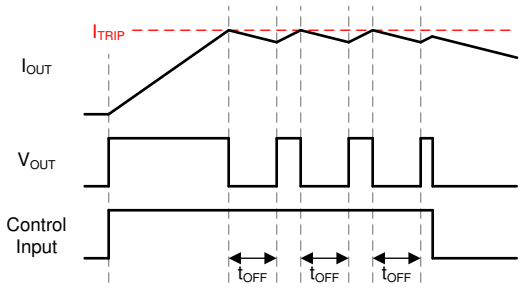


图 6-9. 电流调节

如表 6-8 所示，TOFF 引脚配置 PWM 关断时间。该器件支持动态更改关断时间。

表 6-8. 关断时间设置

TOFF	关断时间 (t_{OFF})
0	7µs
1	16µs
高阻态	24µs
330kΩ 至 GND	32µs

Copyright © 2025 Texas Instruments Incorporated

6.5.2.1 混合衰减

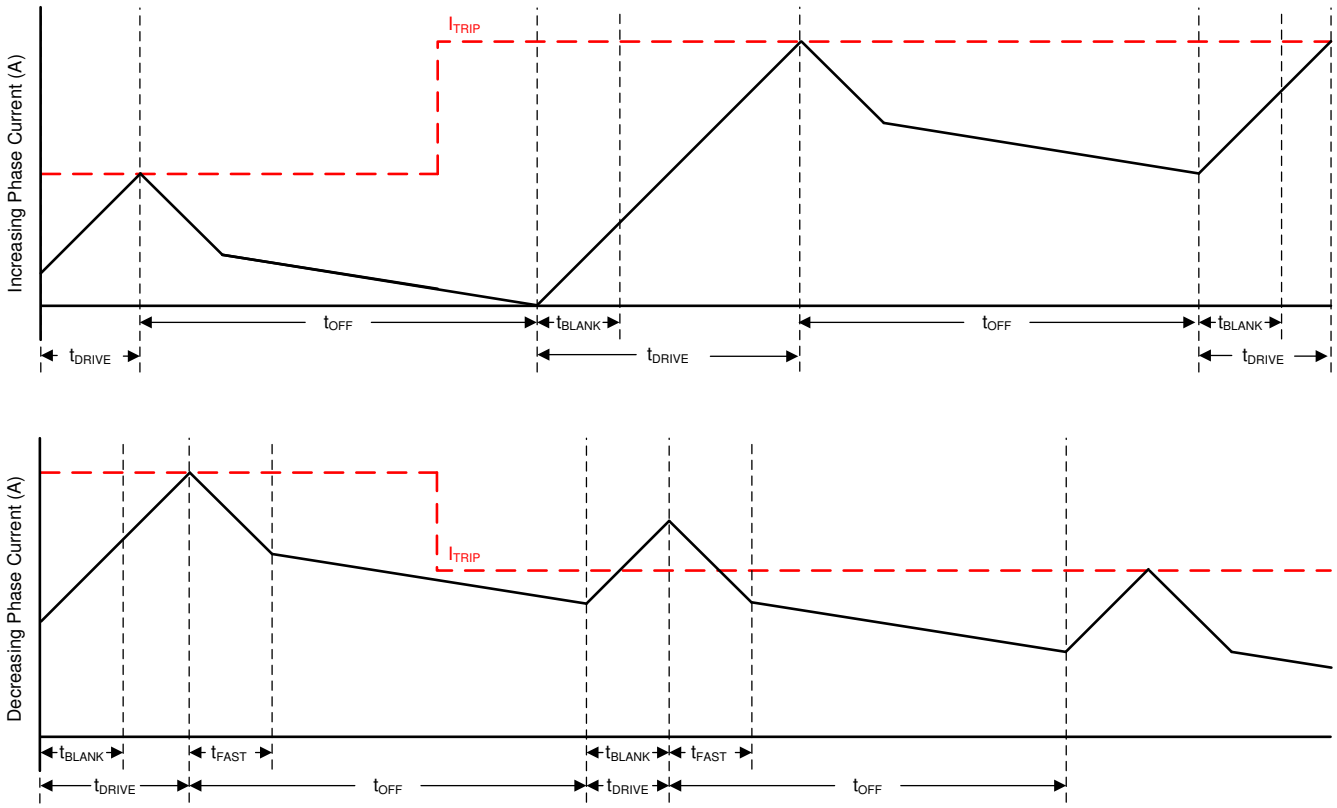


图 6-10. 混合衰减模式

混合衰减模式下，开始的一段时间（t_{OFF} 的 30%）内为快速衰减，然后在 t_{OFF} 的剩余时间内慢速衰减。

6.5.2.2 智能调优动态衰减

与传统的固定关断时间电流调节方案相比，智能调优电流调节方案是一种先进的电流调节控制方法。智能调优电流调节方案有助于步进电机驱动器根据下列运行因素调整衰减方案：

- 电机绕组电阻和电感
- 电机老化效应
- 电机动态转速和负载
- 电机电源电压变化
- 低电流与高电流 dI/dt

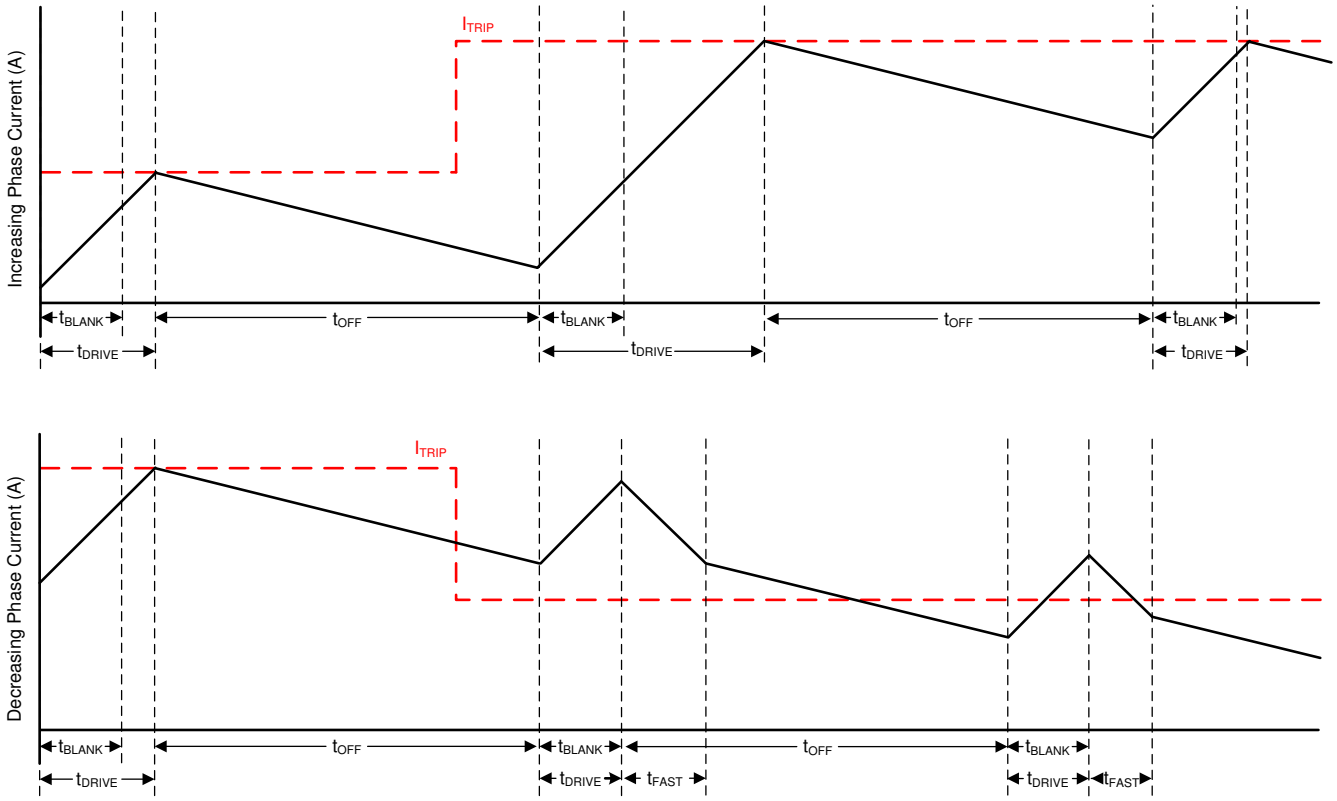


图 6-11. 智能调优动态衰减模式

智能调优动态衰减可动态调整总混合衰减时间中快速衰减的百分比。此功能通过自动确定最佳衰减设置来消除电机调谐，从而产生最低的电机纹波。

衰减模式设置经由每个 PWM 周期进行迭代优化。如果电机电流超过目标跳变电平，则衰减模式在下一个周期变得更加激进（增加快速衰减百分比）以防止调节损失。如果必须长时间驱动才能达到目标跳变电平，则衰减模式在下一个周期变得不那么激进（去除快速衰减百分比），从而以更少的纹波实现更高效地运行。在步进下降时，智能调优动态衰减会自动切换到快速衰减，以便快速进入下一步进。

智能调优动态衰减功能经过精心设计，适用于需要实现最小电流纹波但希望在电流调节方案中保持固定频率的应用。

6.5.3 使用外部电阻器进行电流检测

在 40% 至 100% 的额定电流下，IPROPI 输出精度为 ±4%。如果需要精确度更高的电流检测，也可以在 PGND 引脚和系统地之间使用外部检测电阻来检测负载电流，如下所示。

Copyright © 2025 Texas Instruments Incorporated

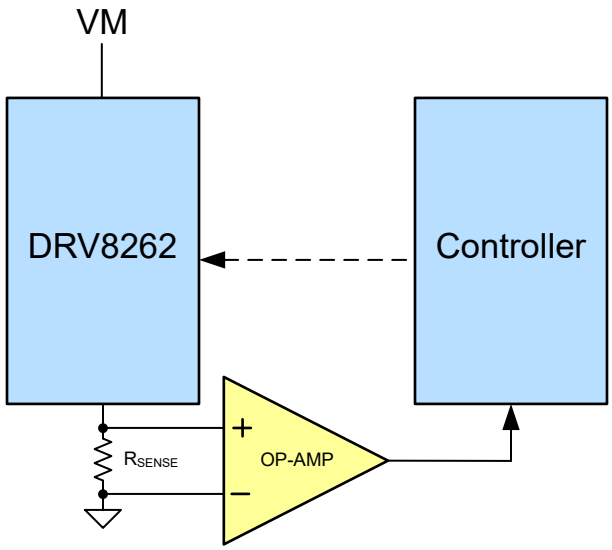


图 6-12. 使用外部电阻器进行电流检测

外部检测电阻两端的压降不超过 300mV。

将检测电阻尽可能靠近相应的 IC 引脚放置。使用对称的检测电阻布局，以确保实现良好匹配。使用低电感检测电阻来防止电压尖峰和振铃。为获得出色性能，检测电阻是额定功率足够高的表面贴装电阻。由于功率电阻器比标准电阻器更大且更昂贵，因此通常采用多个标准电阻器并联的方式。这种做法可分散电流和散发热量。

6.6 电荷泵

集成了一个电荷泵以提供高侧 N 沟道 MOSFET 栅极驱动电压。需要在 VM 和 VCP 引脚之间为电荷泵放置一个电容作为储能电容。此外，还需要在 CPH 和 CPL 引脚之间放置一个一个陶瓷电容作为飞跨电容。

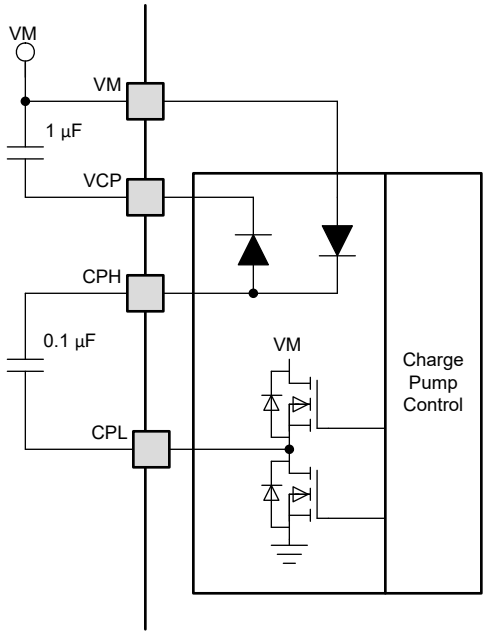


图 6-13. 电荷泵方框图

6.7 线性稳压器

该器件中集成了一个线性稳压器。当 VCC 引脚连接至 DVDD 时，DVDD 稳压器为低侧栅极驱动器和所有内部电路供电。为确保正常运行，请使用 1 µ F 陶瓷电容器将 DVDD 引脚旁路至 GND。DVDD 输出的标称值为 5V。

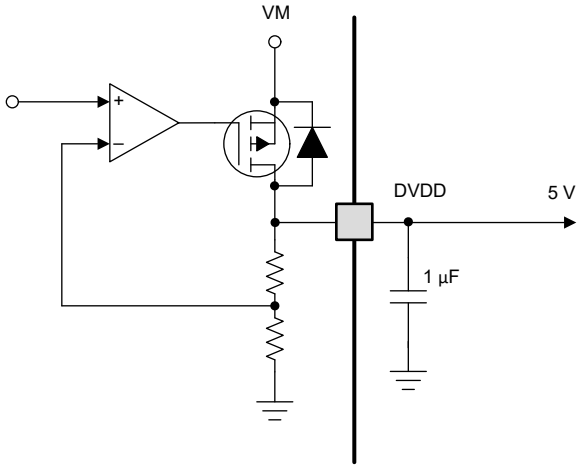


图 6-14. 线性稳压器方框图

如果数字输入须一直连接高电平，则宜将输入连接至 DVDD 引脚而不是外部稳压器。此方法可在未应用 VM 引脚或处于睡眠模式时省电：DVDD 稳压器被禁用，电流不会流经输入下拉电阻器。作为参考，逻辑电平输入的典型下拉电阻为 200kΩ。

6.8 VCC 电压电源

可将外部电压施加至 VCC 引脚，从而为内部逻辑电路供电。将 VCC 引脚上的电压保持在 3.05V 和 5.5V 之间。当外部电源不可用时，VCC 必须连接到该器件的 DVDD 引脚。

当由 VCC 供电时，内部逻辑块不会消耗 VM 电源轨的功率，从而降低 DRV8262 中的功率损耗。这在高电压应用和环境温度较高时非常有用。使用 0.1 µ F 陶瓷电容器将 VCC 引脚旁路至接地。

6.9 逻辑电平、三电平和四电平引脚图

图 6-15 显示了 DECAY 引脚的输入结构。

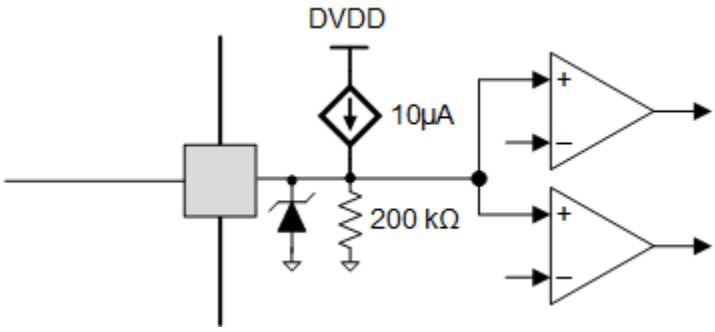


图 6-15. 三电平输入引脚图

图 6-16 显示了 TOFF 引脚的输入结构。

Copyright © 2025 Texas Instruments Incorporated

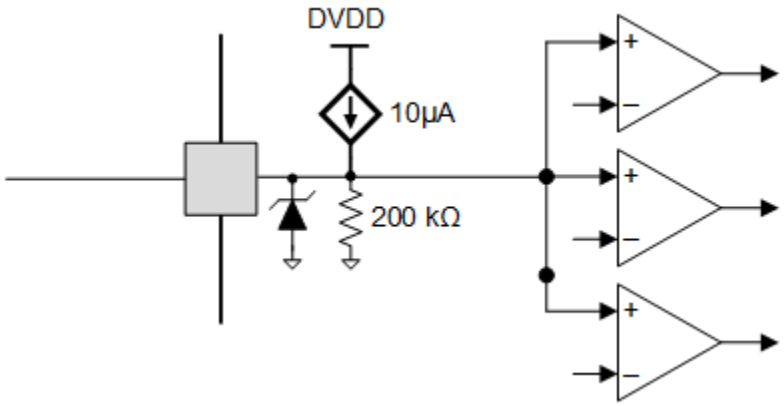


图 6-16. 四电平输入引脚图

图 6-17 展示了 IN1、IN2、IN3、IN4、MODE1、MODE2、OCPM 和 nSLEEP 引脚的输入结构。

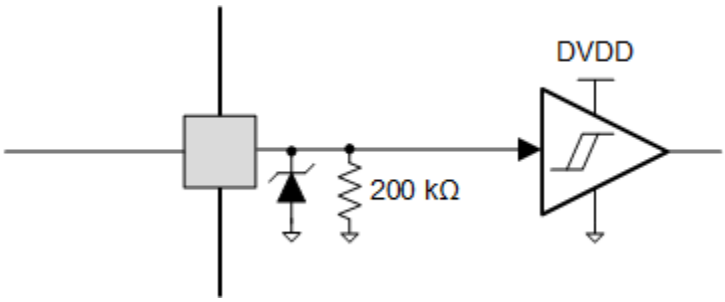


图 6-17. 逻辑电平输入引脚图

6.10 保护电路

这些器件可完全防止电源欠压、电荷泵欠压、输出过流和器件过热事件。

6.10.1 VM 欠压锁定 (UVLO)

无论 VM 引脚电压何时降至 UVLO 阈值电压以下：

- 都会禁用所有输出（高阻态）
- nFAULT 引脚被驱动为低电平
- 电荷泵会被禁用

当 VM 电压恢复至 UVLO 上升阈值电压以上时，器件将恢复正常运行（驱动器运行且释放 nFAULT 引脚）。

如果 VM 电压降至内部数字复位电压（最大值 3.9V）以下，则会禁用内部逻辑电路，还会禁用 nFAULT 上的下拉电阻。因此，当 VM 降至大约 3.9V 以下时，nFAULT 会再次被拉高。

6.10.2 VCP 欠压锁定 (CPUV)

无论 VCP 引脚电压何时降至 CPUV 电压以下：

- 都会禁用所有输出（高阻态）
- nFAULT 引脚被驱动为低电平
- 电荷泵保持有效状态

消除 VCP 欠压条件后，器件将恢复正常运行（驱动器运行且释放 nFAULT 引脚）。

Copyright © 2025 Texas Instruments Incorporated

6.10.3 逻辑电源上电复位 (POR)

无论 VCC 引脚电压何时降至 VCC_{UVLO} 阈值以下：

- 都会禁用所有输出（高阻态）
- 电荷泵会被禁用

nFAULT 引脚上未报告 VCC UVLO。VCC 欠压情况消失后，电机驱动器将恢复正常运行。

6.10.4 过流保护 (OCP)

每个 MOSFET 上的模拟电流限制电路通过移除栅极驱动来限制通过 MOSFET 的电流。如果该电流限制的持续时间超过 t_{OCP}，则会检测到过流故障。

- H 桥被禁用。对于双路 H 桥模式，仅禁用发生过流的 H 桥。
- nFAULT 被驱动为低电平
- 电荷泵保持有效状态

高侧和低侧 MOSFET 上的过流情况；这意味着接地短路或电源短路会导致过流故障检测。

消除过流条件后，恢复机制取决于 OCPM 引脚设置。OCPM 引脚对闭锁或自动重试型恢复进行编程。

- 当 OCPM 引脚为逻辑低电平时，该器件具有闭锁型恢复功能，这意味着消除 OCP 条件后，器件会在施加 nSLEEP 复位脉冲或下电上电后恢复正常运行。
- 当 OCPM 引脚为逻辑高电平时，经过 t_{RETRY} 时间且故障条件消失后，器件将自动恢复正常运行（驱动器运行且释放 nFAULT 引脚）。

6.10.5 热关断 (OTSD)

如果内核温度超过热关断限值 (T_{OTSD})，则会检测到热关断。当检测到热关断时：

- 所有 MOSFET 均被禁用
- nFAULT 被驱动为低电平
- 电荷泵会被禁用

消除热关断条件后，恢复机制取决于 OCPM 引脚设置。OCPM 引脚对闭锁或自动重试型恢复进行编程。

- 当 OCPM 引脚为逻辑低电平时，该器件具有闭锁型恢复功能，这意味着结温降至过热阈值限值减去迟滞 (T_{OTSD} – T_{HYS_OTSD}) 所得的值以下后，器件会在施加 nSLEEP 复位脉冲或下电上电后恢复正常运行。
- 当 OCPM 引脚为逻辑高电平时，结温降至过热阈值限值减去迟滞 (T_{OTSD} – T_{HYS_OTSD}) 所得的值以下后，器件将自动恢复正常运行。

6.10.6 nFAULT 输出

nFAULT 引脚具有漏极开路输出且上拉至 5V、3.3V 或 1.8V 电源。当检测到故障时，nFAULT 引脚为逻辑低电平。上电后，nFAULT 引脚为高电平。对于 5V 上拉，nFAULT 引脚可通过一个电阻连接至 DVDD 引脚。对于 3.3V 或 1.8V 上拉，必须使用一个外部电源。

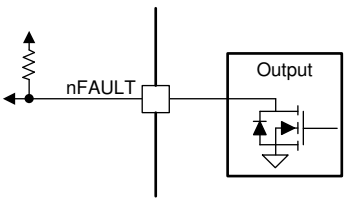


图 6-18. nFAULT 引脚

Copyright © 2025 Texas Instruments Incorporated

6.10.7 故障条件汇总

表 6-9. 故障条件汇总

故障	条件	错误报告	H 桥	电荷泵	逻辑	恢复
VM 欠压 (UVLO)	VM < V_{UVLO}	nFAULT	禁用	禁用	复位	VM > V_{UVLO}
VCP 欠压 (CPUV)	VCP < V_{CPUV}	nFAULT	禁用	工作	工作	VCP > V_{CPUV}
逻辑电源 POR	VCC < VCC_{UVLO}	-	禁用	禁用	复位	VCC > VCC_{UVLO}
过流（OCP）	I_{OUT} > I_{OCP}，OCPM = 0	nFAULT	禁用	工作	工作	锁存：nSLEEP 复位脉冲
	I_{OUT} > I_{OCP}，OCPM = 1	nFAULT	禁用	工作	工作	自动重试：t_{RETRY}
热关断 (OTSD)	T_J > T_{TSD}，OCPM = 0	nFAULT	禁用	禁用	工作	锁存：nSLEEP 复位脉冲
	T_J > T_{TSD}，OCPM = 1	nFAULT	禁用	禁用	工作	自动：T_J < T_{OTSD} - T_{HYS_OTSD}

6.11 器件功能模式

6.11.1 睡眠模式

当 nSLEEP 引脚为低电平时，该器件将进入低功耗睡眠模式。在睡眠模式下，将会禁用所有内部 MOSFET、DVDD 稳压器、SPI 和电荷泵。必须在 nSLEEP 引脚上的下降沿之后再过去 t_{SLEEP} 时间后，器件才能进入睡眠模式。如果 nSLEEP 引脚变为高电平，该器件会自动退出睡眠模式。必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

6.11.2 工作模式

在以下情况下启用该模式：

- nSLEEP 为高电平
- VM > UVLO

必须在经过 t_{WAKE} 时间之后，器件才能针对输入做好准备。

6.11.3 nSLEEP 复位脉冲

锁存故障可通过 nSLEEP 复位脉冲清除。该脉冲的宽度必须在 20µs 至 40µs 之间。如果 nSLEEP 在 40µs 至 120µs 的时间内保持低电平，则会清除故障，但器件有可能会关断，如下面的时序图中所示。该复位脉冲不影响电荷泵或其他功能块的状态。

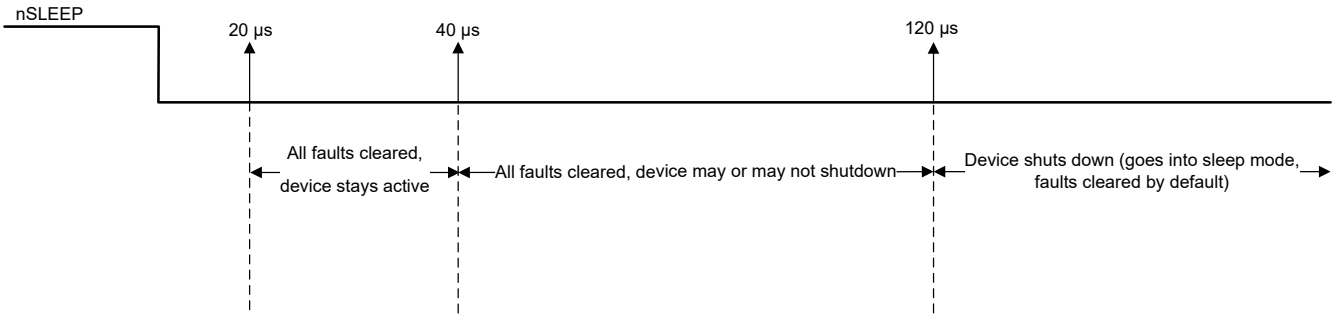


图 6-19. nSLEEP 复位脉冲

6.11.4 功能模式汇总

下表汇总了功能模式。

表 6-10. 功能模式汇总

条件		配置	H 桥	DVDD 稳压器	电荷泵	逻辑
睡眠模式	4.5V < VM < 60V	nSLEEP 引脚 = 0	禁用	禁用	禁用	禁用
工作	4.5V < VM < 60V	nSLEEP 引脚 = 1	工作	工作	工作	工作

Copyright © 2025 Texas Instruments Incorporated

7 应用和实施

备注

以下应用部分中的信息不属于 TI 器件规格的范围，TI 不担保其准确性和完整性。TI 的客 户应负责确定器件是否适用于其应用。客户应验证并测试其设计，以确保系统功能。

7.1 应用信息

DRV8262 可用于驱动以下类型的负载：

- 一到两个有刷直流电机
- 一个步进电机
- 一个或两个热电冷却器 (TEC)

7.1.1 驱动有刷直流电机

在此应用示例中，器件配置为通过一个或两个有刷直流电机来驱动双向电流。H 桥配置、极性、接口和占空比由 PWM 以及从外部控制器到 INx 和 MODEx 引脚的 IO 资源控制。电流限制阈值 (I_{TRIP}) 通过电阻分压器在 VREF 引脚上设置。通过将 DECAY 引脚接地，将器件配置为慢速衰减。

7.1.1.1 有刷直流电机驱动器典型应用

以下原理图显示了 DRV8262 分别驱动一个和两个有刷直流电机的情况。

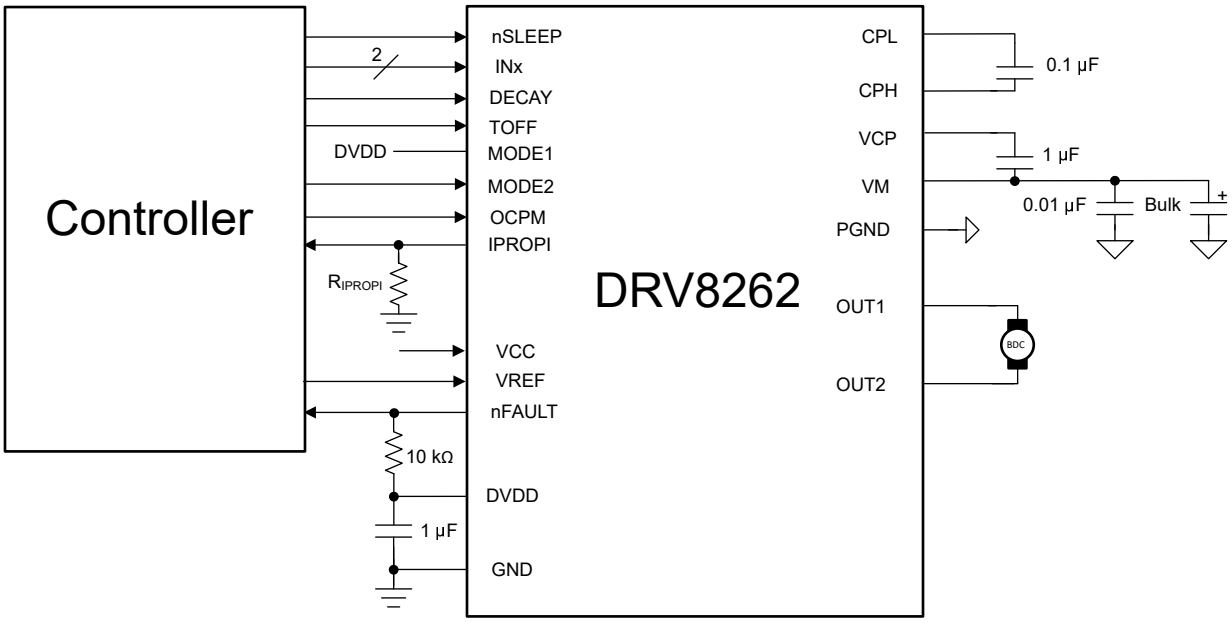


图 7-1. 驱动一个有刷直流电机

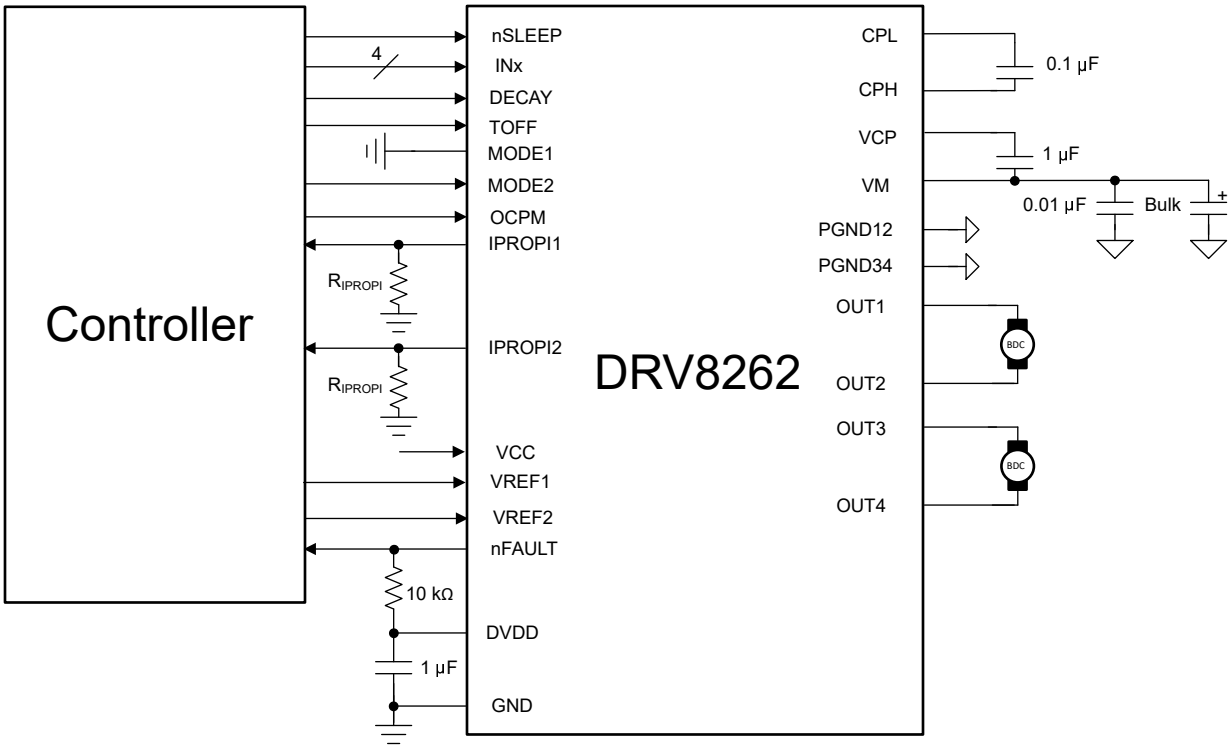


图 7-2. 驱动两个有刷直流电机

7.1.1.2 功率损耗计算 - 双路 H 桥

对于具有高侧再循环功能的 H 桥，每个 FET 的功率损耗近似值计算如下：

- $P_{HS1} = R_{DS(ON)} \times I_L^2$
- $P_{LS1} = 0$
- $P_{HS2} = [R_{DS(ON)} \times I_L^2 \times (1 - D)] + [2 \times V_D \times I_L \times t_D \times f_{PWM}]$
- $P_{LS2} = [R_{DS(ON)} \times I_L^2 \times D] + [VM \times I_L \times t_{RF} \times f_{PWM}]$

其中，

- $R_{DS(ON)}$ = 每个 FET 的导通电阻
  - 对于双路 H 桥模式下的 DRV8262，25°C 时 $R_{DS(ON)}$ 通常为 50mΩ，150°C 时为 85mΩ。
- f_{PWM} = PWM 开关频率
- VM = 驱动器电源电压
- I_L = 电机均方根电流
- D = PWM 占空比（介于 0 和 1 之间）
- t_{RF} = 输出电压上升/下降时间
  - 对于 DRV8262，上升/下降时间为 110ns
- V_D = FET 体二极管正向偏置电压
  - 对于 DRV8262，电压为 1V
- t_D = 死区时间
  - 对于 DRV8262，电压 300ns

对于估算反向负载电流的功率损耗，可采用相同的公式，仅将 HS1 与 HS2 和 LS1 与 LS2 互换。

在上面的公式中替换以下值：

- VM = 24V

Copyright © 2025 Texas Instruments Incorporated

- I_L = 4A
- $R_{DS(ON)}$ = 50mΩ
- D = 0.5
- V_D = 1V
- t_D = 300ns
- t_{RF} = 110ns
- f_{PWM} = 20kHz

每个 FET 中的损耗可按以下公式计算：

P_{HS1} = 50mΩ × 4^2 = 0.8W

P_{LS1} = 0

P_{HS2} = [50mΩ × 4^2 x (1-0.5)] + [2 x 1V x 4A x 300ns x 20KHz] = 0.448W

P_{LS2} = [50mΩ × 4^2 x 0.5] + [24 x 4A x 110ns x 20kHz] = 0.611W

静态电流损耗 P_Q = 24V × 5mA = 0.12W

P_{TOT} = 2 × (P_{HS1} + P_{LS1} + P_{HS2} + P_{LS2}) + P_Q = 2 × (0.8 + 0 + 0.448 + 0.611) + 0.12 = 3.84W

7.1.1.3 功率损耗计算 - 单路 H 桥

在单路 H 桥模式下，每个 FET 的导通电阻在 25°C 时通常为 25mΩ，在 150°C 时为 43mΩ。

在功率损耗公式中替换以下值 -

- VM = 24V
- I_L = 8A
- $R_{DS(ON)}$ = 25mΩ
- D = 0.5
- V_D = 1V
- t_D = 300ns
- t_{RF} = 110ns
- f_{PWM} = 20kHz

每个 FET 中的损耗可按以下公式计算：

P_{HS1} = 25mΩ × 8^2 = 1.6W

P_{LS1} = 0

P_{HS2} = [25mΩ × 8^2 x (1-0.5)] + [2 x 1V x 8A x 300ns x 20KHz] = 0.896W

P_{LS2} = [25mΩ × 8^2 x 0.5] + [24 x 8A x 110ns x 20kHz] = 1.223W

静态电流损耗 P_Q = 24V × 5mA = 0.12W

P_{TOT} = P_{HS1} + P_{LS1} + P_{HS2} + P_{LS2} + P_Q = 1.6 + 0 + 0.896 + 1.223 + 0.12 = 3.84W

7.1.1.4 结温估算

如果已知环境温度 T_A 和总功率损耗 (P_{TOT})，则结温 (T_J) 的计算公式为：

$T_J = T_A + (P_{TOT} \times R_{\theta JA})$

在一个符合 JEDEC 标准的 4 层 PCB 中，采用 DDW 封装时的结至环境热阻 ($R_{\theta JA}$) 为 22.2°C/W。

假设环境温度为 25°C，则结温计算方式如下 -

$$T_J = 25°C + (3.84W \times 22.2\ °C/W) = 110.2\ °C \quad (4)$$

Copyright © 2025 Texas Instruments Incorporated

如需更准确地计算该值，请考虑典型工作特性部分所示的器件结温对 FET 导通电阻的影响。

例如，

- 在 110.2 °C 结温下，与 25°C 时的导通电阻相比，导通电阻可能会增加 1.4 倍。
- 导通损耗的初始估算值为 3.2W。
- 导通损耗的新估算值为 3.2W × 1.4 = 4.48W。
- 相应地，总功率损耗的新估算值为 5.12W。
- 采用 DDW 封装时的结温新估算值为 138.7°C。
- 如进行进一步的迭代，则不太可能显著增加结温估算值。

使用 DDV 封装时，如果选择热阻小于 4°C/W 的散热器，则结至环境热阻可低于 5°C/W。因此，在此应用中，采用 DDV 封装时的结温的初始估算值为：

$$T_J = 25°C + (3.84\text{-W} \times 5\ °C/W) = 44.2\ °C \quad (5)$$

DDV 封装能够在双路 H 桥模式下为两个有刷直流电机提供高达 10A RMS 的电流，并在单路 H 桥模式下为一个有刷直流电机提供高达 20A RMS 的电流。

7.1.1.5 应用性能曲线图

从上到下的迹线：I_{OUT2}、$V_{IPROPI2}$、I_{OUT1}、$V_{IPROPI1}$、OUT2、OUT3、OUT1、OUT4

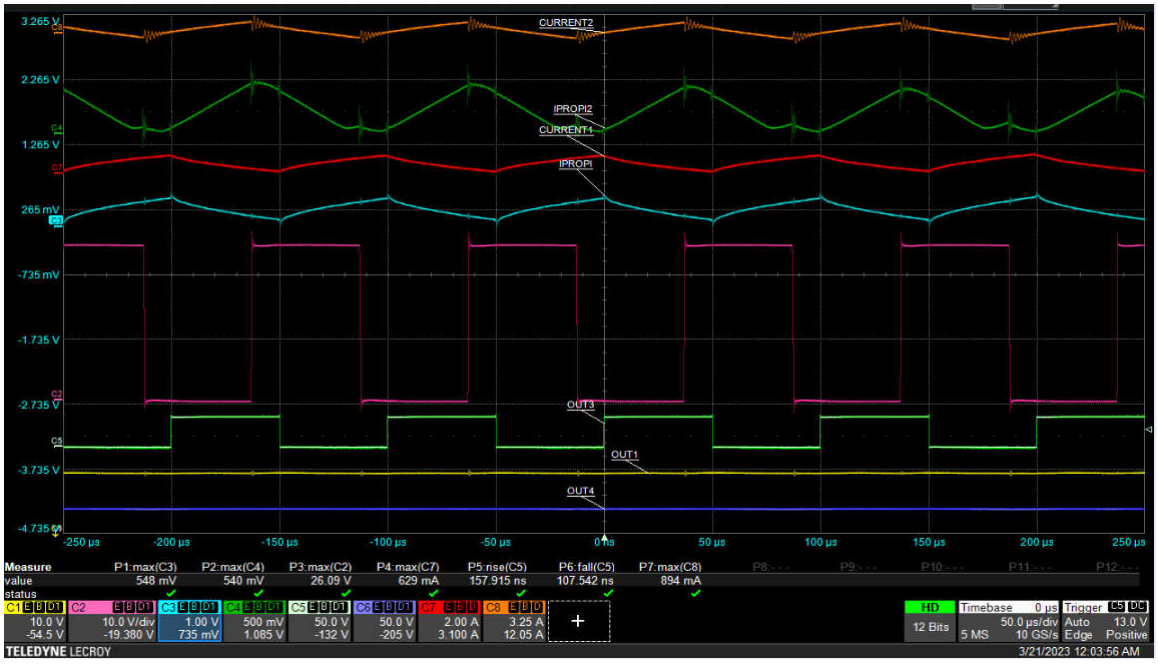


图 7-3. 双路 H 桥运行，VM = 24V

Copyright © 2025 Texas Instruments Incorporated

7.1.2 驱动步进电机

当配置为双路 H 桥模式时，该器件可以驱动一个步进电机。

7.1.2.1 步进驱动器典型应用

以下原理图显示了 DRV8262 驱动步进电机的情况。

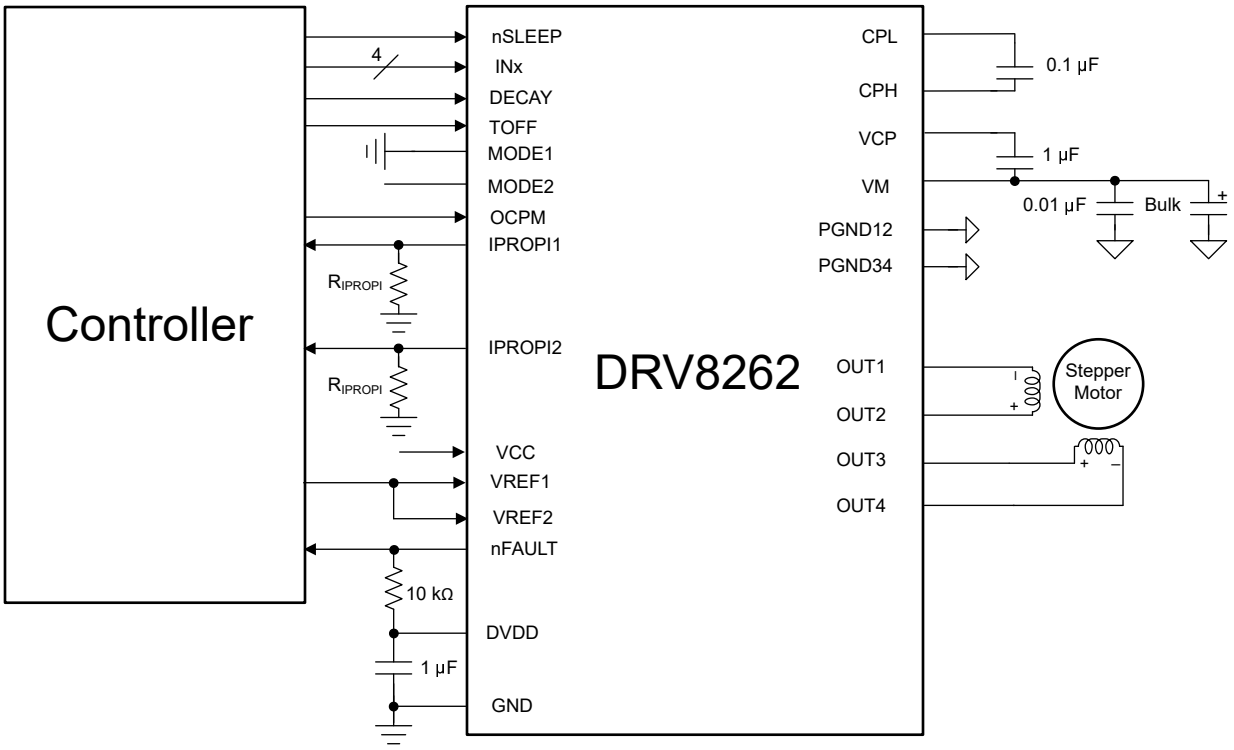


图 7-4. 驱动一个步进电机

满量程电流 (I_{FS}) 是通过任一绕组的最大电流。该数量取决于 VREF 电压和从 IPROPI 引脚接地的电阻。

$I_{FS} \times A_{IPROPI} = V_{VREF}/R_{IPROPI}$

VREF 引脚上允许的最大电压为 3.3V。DVDD 可用于通过电阻分压器提供 VREF。

备注

I_{FS} 电流还必须遵循 方程式 6，以避免电机饱和。VM 是电机电源电压，R_L 是电机绕组电阻。

$$I_{FS}\ (A) < \frac{VM\ (V)}{R_L\ (\Omega) + 2 \times R_{DS(ON)}\ (\Omega)} \tag{6}$$

如果目标电机转速过高，则电机不会运行。请确保电机可以支持目标转速。

对于所需的电机转速 (v)、微步进级别 (n_m) 和电机全步进角 (θ_{step})，按如下公式确定输入波形的频率：

$$f_{step}\ (steps/s) = \frac{v\ (rpm) \times 360\ (°/rot)}{\theta_{step}\ (°/step) \times n_m\ (steps/microstep) \times 60\ (s/min)} \tag{7}$$

θ_{step} 的值载于步进电机数据表中或印于电机上。

Copyright © 2025 Texas Instruments Incorporated

频率 f_{step} 提供了 DRV8262 上输入变化的频率。下图中，$1/f_{step} = t_{step}$。方程式 8 显示了 120rpm 目标速度和 1/2 步进的示例计算。

$$f_{step}\,(\text{steps/s}) = \frac{120\ \text{rpm} \times 360^\circ/\text{rot}}{1.8^\circ/\text{step} \times 1/2\ \text{steps/microstep} \times 60\ \text{s/min}} = 800\,\text{Hz} \quad (8)$$

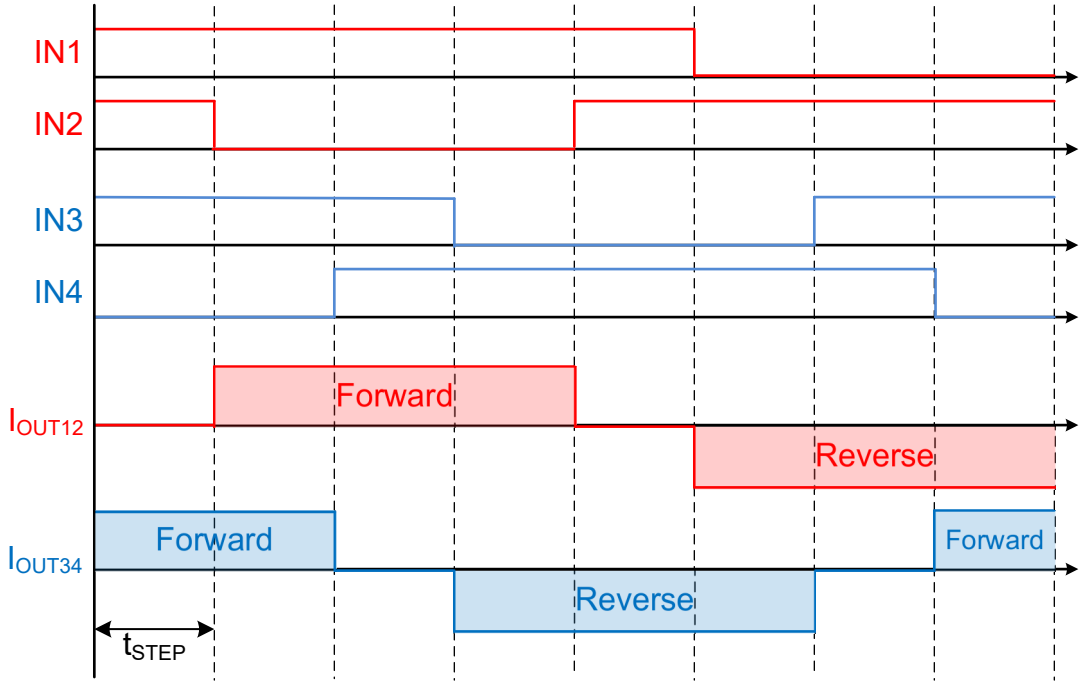


图 7-5. 示例 1/2 步进运行

IPROPI 引脚输出每个 H 桥的电流，对应于驱动和慢速衰减（高侧再循环）模式下步进电机线圈 A 和线圈 B 的电流。

7.1.2.2 功率损耗计算

以下计算用例假设电源电压为 24V，满量程电流为 5A，输入 PWM 频率为 30kHz。

总功率损耗由三个主要部分组成：导通损耗 (P_{COND})、开关损耗 (P_{SW}) 和静态电流消耗导致的功率损耗 (P_Q)。

导通损耗 (P_{COND}) 取决于电机的均方根电流 (I_{RMS}) 以及高侧 ($R_{DS(ONH)}$) 和低侧 ($R_{DS(ONL)}$) 的导通电阻（如方程式 9 所示）。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) \quad (9)$$

方程式 10 中计算了节 7.1.2.1 中显示的典型应用的导通损耗。

$$P_{COND} = 2 \times (I_{RMS})^2 \times (R_{DS(ONH)} + R_{DS(ONL)}) = 2 \times (5\text{A} / \sqrt{2})^2 \times (0.1\,\Omega) = 2.5\text{W} \quad (10)$$

由 PWM 开关频率引起的功率损耗取决于输出电压上升/下降时间 (t_{RF})、电源电压、电机均方根电流和 PWM 开关频率。每个 H 桥在上升时间和下降时间内的开关损耗计算公式如方程式 11 和方程式 12 所示：

$$P_{SW_RISE} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RF} \times f_{PWM} \quad (11)$$

$$P_{SW_FALL} = 0.5 \times V_{VM} \times I_{RMS} \times t_{RF} \times f_{PWM} \quad (12)$$

将相应的值代入各种参数后，则每个 H 桥内的开关损耗计算如下：

Copyright © 2025 Texas Instruments Incorporated

$$P_{SW_RISE} = 0.5 \times 24V \times (5A / \sqrt{2}) \times (110ns) \times 30kHz = 0.14W \quad (13)$$

$$P_{SW_FALL} = 0.5 \times 24V \times (5A / \sqrt{2}) \times (110ns) \times 30kHz = 0.14W \quad (14)$$

在计算步进电机驱动器的总开关损耗 (P_{SW}) 时，取上升时间开关损耗 (P_{SW_RISE}) 和下降时间开关损耗 (P_{SW_FALL}) 之和的两倍：

$$P_{SW} = 2 \times (P_{SW_RISE} + P_{SW_FALL}) = 2 \times (0.14W + 0.14W) = 0.56W \quad (15)$$

备注

输出上升/下降时间 (t_{RF}) 预计会根据电源电压、温度和器件规格的变化而变化。

当 VCC 引脚连接至外部电压时，静态电流通常为 5mA。由于电源消耗的静态电流造成的功率损耗的计算公式如下所示：

$$P_Q = V_{VM} \times I_{VM} \quad (16)$$

代入相应值，可得：

$$P_Q = 24V \times 5mA = 0.12W \quad (17)$$

备注

计算静态功率损耗需要使用典型工作电流 (I_{VM})，该值取决于电源电压、温度和器件规格。

总功率损耗 (P_{TOT}) 是导通损耗、开关损耗和静态功率损耗之和，如方程式 18 所示。

$$P_{TOT} = P_{COND} + P_{SW} + P_Q = 2.5W + 0.56W + 0.12W = 3.18W \quad (18)$$

7.1.2.3 结温估算

假设环境温度为 25°C，则采用 DDW 封装时的结温计算方式如下 -

$$T_J = 25°C + (3.18W \times 22.2\ °C/W) = 95.6\ °C \quad (19)$$

如需更准确地计算该值，请考虑器件结温对 FET 的导通电阻的影响，如节 7.1.1.4 所述。

Copyright © 2025 Texas Instruments Incorporated

7.1.3 驱动热电冷却器 (TEC)

热电冷却器 (TEC) 的工作原理是珀耳帖效应。当在 TEC 两端施加电压时，直流电流流经半导体的接合处，导致温差。热量从 TEC 的一侧传递到另一侧，这会在 TEC 元件上产生“热”侧和“冷”侧。如果直流电流反向，则热侧和冷侧会互换。

调制流经 TEC 的电流的一种常见方法是，使用 PWM 驱动并通过改变导通和关断占空比来改变平均电流。为实现通过单电源进行加热和冷却，需要使用 H 桥拓扑。在双路 H 桥模式下，该器件可以驱动两个 H 桥，从而以高达 10A 的电流双向驱动两个 TEC。在单路 H 桥模式下，该器件能够以高达 20A 的电流驱动单个 TEC。

DRV8262 还具有精度为 ±4% 的集成电流检测和电流检测输出 (IPROPI)，无需在闭环控制拓扑中使用两个外部分流电阻，从而节省了物料清单成本和空间。以下原理图显示了 DRV8262 驱动两个 TEC 的情况。

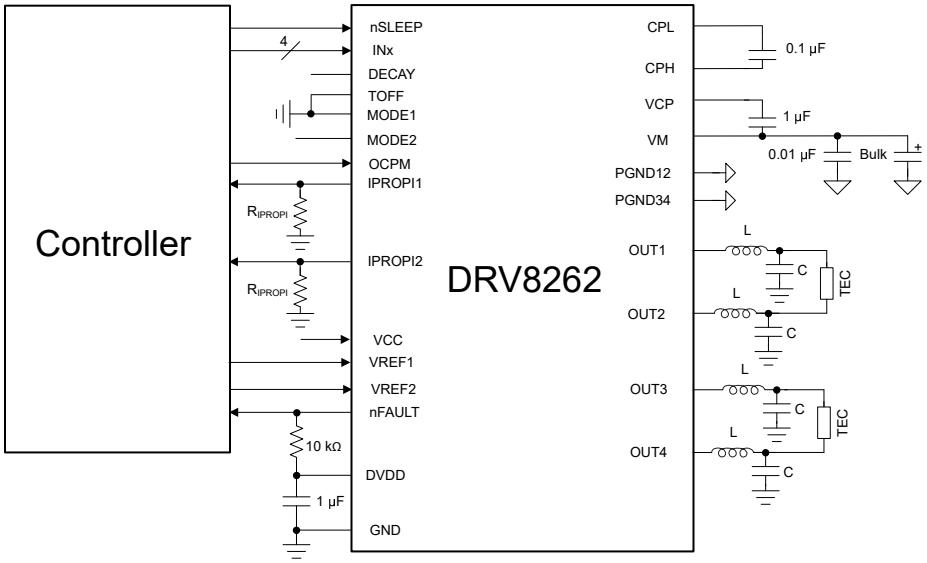


图 7-6. 驱动两个 TEC

以下原理图显示了 DRV8262 以更高的电流驱动一个 TEC 的情况。

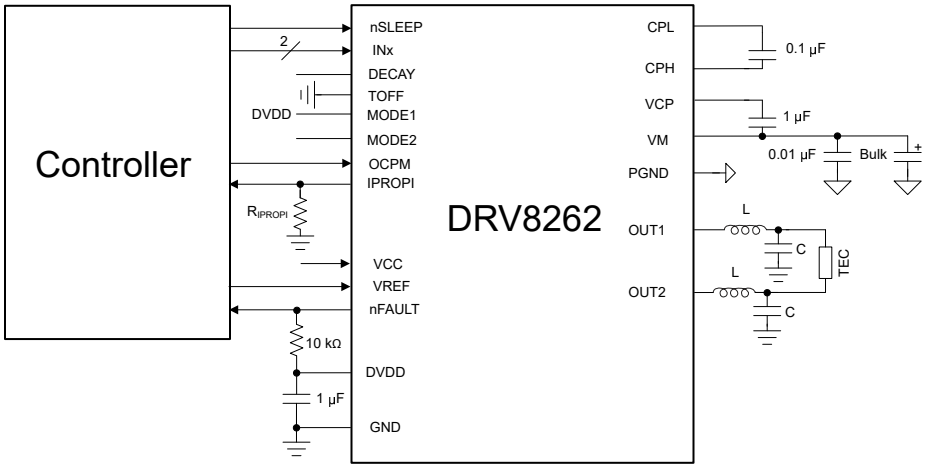


图 7-7. 使用更高电流驱动一个 TEC

连接至输出节点的 LC 滤波器将来自 DRV8262 的 PWM 输出转换为 TEC 两端的低纹波直流电压。需要使用滤波器来尽可能减小纹波电流，因为快速瞬变（例如，方波电源）会缩短 TEC 的寿命。建议最大纹波电流小于最大电流的 10%。TEC 两端的最大温差随着纹波电流的增加而减小，其计算公式如下：

Copyright © 2025 Texas Instruments Incorporated

$$\Delta T = \Delta T_{MAX} / (1 + N^2) \quad (20)$$

其中，ΔT 是实际温差，ΔT_{MAX} 是 TEC 数据表中指定的最大可能温差，N 是纹波和最大电流之间的比率。N 不得大于 0.1。

选择输入 PWM 频率时，需要在开关损耗与使用较小的电感器和电容器之间进行权衡。高 PWM 频率还意味着 TEC 两端的电压受到严格控制，并且 LC 元件的成本可能更低。

二阶低通滤波器的传递函数如下所示：

$$H(j\omega) = 1 / (1 - (\omega / \omega_0)^2 + j\omega / Q\omega_0) \quad (21)$$

其中，

$\omega_0 = 1/\sqrt{(LC)}$，滤波器谐振频率

Q = 品质因数

ω = DRV8262 输入 PWM 频率

通常选择至少比 PWM 频率低一个数量级的滤波器谐振频率。根据此假设，方程式 20 可简化为 -

H（以 dB 为单位）= – 40 log (f_S/f_0)

其中，$f_0 = 1/2\pi\sqrt{(LC)}$，f_S 是输入 PWM 开关频率。

- 如果 L = 10 µH 且 C = 22 µF，则谐振频率为 10.7kHz。
- 该谐振频率对应于 100kHz 开关频率下的 39dB 衰减。
- 对于 VM = 48V 的情况，39dB 衰减意味着 TEC 元件两端的纹波电压约为 550mV。
- 因此，对于电阻为 1.5Ω 的 TEC 元件，流经 TEC 的纹波电流为 366mA。
- 在 5A 电流下，366mA 对应于 7.32% 的纹波电流。
- 根据方程式 20，这将导致 TEC 元件的最大温差降低约 0.5%。

根据电源电压和流经 TEC 元件的直流电流调整 LC 值。DRV8262 支持高达 200kHz 的输入 PWM 频率。在选择输入 PWM 频率之前，必须仔细考虑器件在任何给定环境温度下的功率损耗。

在某些基于 TEC 的加热和冷却系统中，实现闭合的电流环路非常重要。DRV8262 无需外部电流采样电阻即可实现这一点。内部电流镜用于监测每个半桥的电流，该信息可通过 IPROPI 引脚获得。微控制器可以根据 IPROPI 引脚电压检测和调整 PWM 占空比。

此外，DRV8262 可以通过向器件提供外部电压基准 (VREF) 来调节电流调节跳闸点，从而在内部调节电流。然后，电流环路在 H 桥内闭合。

7.2 电源相关建议

该器件设计为可在 4.5V 至 60V 的输入电源电压 (VM) 范围内运行。必须在靠近器件的 VM 引脚位置放置一个额定电压为 VM 的 0.01µF 陶瓷电容器。此外，VM 上必须放置一个大容量电容器。

7.2.1 大容量电容

配备合适的局部大容量电容是电机驱动系统设计中的一项重要因素。使用更多的大容量电容通常是有益的，但缺点在于这会增加成本和物理尺寸。

所需的局部电容数量取决于多种因素，包括：

- 电机系统所需的最高电流
- 电源的电容和拉电流的能力
- 电源和电机系统之间的寄生电感量
- 可接受的电压纹波
- 使用的电机类型（有刷直流、无刷直流、步进电机）

Copyright © 2025 Texas Instruments Incorporated

- 电机制动方法

电源和电机驱动系统之间的电感会限制电源的电流变化速率。如果局部大容量电容太小，系统会响应电机电压变化带来的过大的电流需求或转储。当使用足够大的大容量电容时，电机电压保持稳定，并且可以快速提供大电流。

数据表通常会给出建议值，但需要进行系统级测试来确定大小适中的大容量电容。

大容量电容的额定电压高于工作电压，以便在电机向电源传递能量时提供裕度。

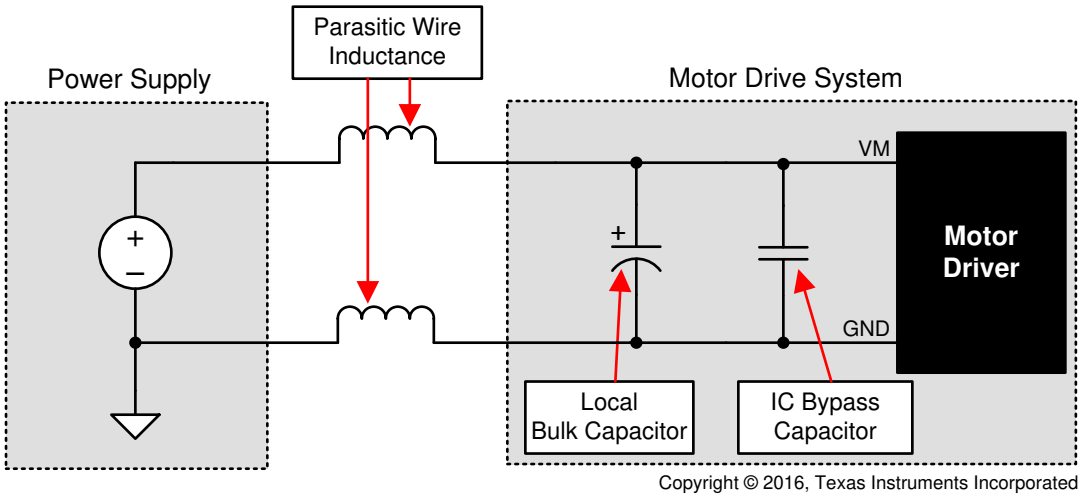


图 7-8. 带外部电源的电机驱动系统示例设置

7.2.2 电源

此器件只需单个连接至 VM 引脚的电源电压。

- VM 引脚为 H 桥提供电源。
- 内部稳压器为数字和低压模拟电路提供 5V 电源 (DVDD)。不建议将 DVDD 引脚用作外部电路的电压源。
- 可将外部低压电源连接至 VCC 引脚，从而为内部电路供电。在靠近 VCC 引脚处放置一个 0.1µF 去耦电容器，从而在瞬态期间提供恒定电压。
- 此外，高侧栅极驱动需要的电压电源更高，该电源由需要外部电容器的内置电荷泵产生。

7.3 布局

7.3.1 布局指南

- 使用推荐电容为 0.01µF 且额定电压为 VM 的低 ESR 陶瓷旁路电容器将 VM 引脚旁路至 PGND 引脚。此类电容器尽可能靠近 VM 引脚放置，并通过较宽的布线或接地平面与器件 PGND 引脚连接。
- 应使用额定电压为 VM 的大容量电容器将 VM 引脚旁路至 PGND。该组件可以是电解电容器。
- 必须在 CPL 和 CPH 引脚之间放置一个低 ESR 陶瓷电容器。建议使用一个电容值为 0.1µF、额定电压为 VM 的电容器。将此组件尽可能靠近引脚放置。
- 必须在 VM 和 VCP 引脚之间放置一个低 ESR 陶瓷电容器。建议使用一个电容值为 1µF、额定电压为 16V 的电容器。将此组件尽可能靠近引脚放置。
- 使用低 ESR 陶瓷电容器将 DVDD 引脚旁路至接地。建议使用一个电容值为 1µF、额定电压为 6.3V 的电容器。将此旁路电容器尽可能靠近引脚放置。
- 使用低 ESR 陶瓷电容器将 VCC 引脚旁路至接地。建议使用一个电容值为 0.1µF、额定电压为 6.3V 的电容器。将此旁路电容器尽可能靠近引脚放置。
- 通常，必须避免电源引脚和去耦电容器之间的电感。
- DDW 封装的散热焊盘必须连接至系统地。
  - TI 建议整个系统/电路板使用一个大的不间断单一接地平面。接地平面可在 PCB 底层制成。

Copyright © 2025 Texas Instruments Incorporated

- 为了尽可能减小阻抗和电感，在通过通孔连接至底层接地平面之前，接地引脚的布线尽可能短且宽。
- 建议使用多个通孔来降低阻抗。
- 尽量清理器件周围的空间（尤其是在 PCB 底层），从而改善散热。
- 连接至散热焊盘的单个或多个内部接地平面也有助于散热并降低热阻。

7.3.2 布局示例

按照 DRV8262 EVM 的布局示例进行操作。设计文件可以从 DRV8262EVM 产品文件夹中下载。

Copyright © 2025 Texas Instruments Incorporated

8 封装散热注意事项

8.1 DDW 封装

DDW 封装的散热焊盘安装在器件底部，从而提升器件的散热能力。散热焊盘必须在 PCB 上焊接良好，从而提供数据表中指定的功率。有关更多详细信息，请参阅节 7.3.1。

8.1.1 热性能

数据表指定的结至环境热阻 $R_{\theta JA}$ 主要用于比较各种驱动器或者估算热性能。不过，实际系统性能会比此值更好或更差，具体情况取决于 PCB 层叠、布线、过孔数量以及散热焊盘周围的铜面积。驱动器驱动特定电流的时间长度也会影响功耗和热性能。本节介绍了如何设计稳态和瞬态温度条件。

本节中的数据是按如下标准仿真得出的：

HTSSOP（DDW 封装）

- 2 层 PCB（尺寸 114.3mm x 76.2mm x 1.6mm），标准 FR4，1oz（35mm 铜厚度）或 2oz 铜厚度。散热过孔仅存在于散热焊盘下方（13 x 5 散热过孔阵列，1.1mm 间距，0.2mm 直径，0.025mm 铜镀层）。
  - 顶层：HTSSOP 封装尺寸和铜平面散热器。顶层铜面积在模拟中有所不同。
  - 底层：接地层通过驱动器的散热焊盘下方的过孔进行热连接。底层铜面积随顶层铜面积而变化。
- 4 层 PCB（尺寸 114.3mm x 76.2mm x 1.6mm），标准 FR4。外层平面具有 1oz（35mm 覆铜厚度）或 2oz 覆铜厚度。内层平面保持在 1oz。散热过孔仅存在于散热焊盘下方（13 x 5 散热过孔阵列，1.1mm 间距，0.2mm 直径，0.025mm 铜镀层）。
  - 顶层：HTSSOP 封装尺寸和铜平面散热器。顶层铜面积在模拟中有所不同。
  - 中间层 1：GND 平面通过过孔热连接至散热焊盘。接地平面的面积随顶部铜面积的变化而变化。
  - 中间层 2：电源平面，无热连接。电源平面的面积随顶部铜面积的变化而变化。
  - 底层：信号层通过来自顶部和内部 GND 平面的过孔拼接进行热连接。底层散热焊盘的尺寸与顶层覆铜区相同。

图 8-1 展示了 DDW 封装的模拟电路板示例。表 8-1 显示了每次仿真时使用的不同板尺寸。

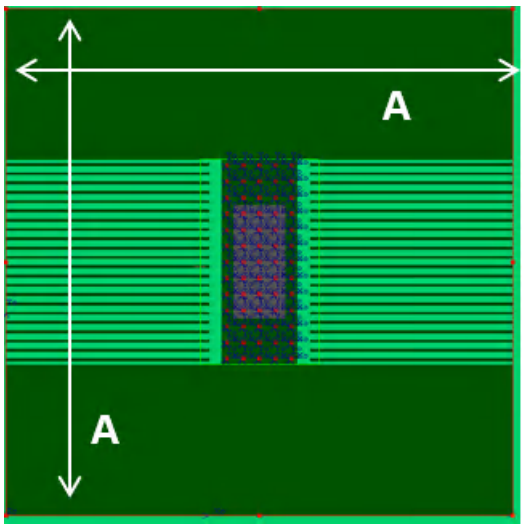


图 8-1. DDW PCB 模型顶层

Copyright © 2025 Texas Instruments Incorporated

表 8-1. DDW 封装的尺寸 A

铜面积 (cm^2)	尺寸 A (mm)
2	19.79
4	26.07
8	34.63
16	46.54
32	63.25

8.1.1.1 稳态热性能

“稳态”条件假设驱动器在很长一段时间内以恒定的 RMS 电流工作。本部分中的图显示了 $R_{\theta JA}$ 和 Ψ_{JB} (结至电路板特征参数) 如何随 PCB 的铜面积、覆铜厚度和 层数而变化。铜面积越大、层数越多、铜平面越厚，$R_{\theta JA}$ 和 Ψ_{JB} 就越小，表明 PCB 布局的热性能越强。

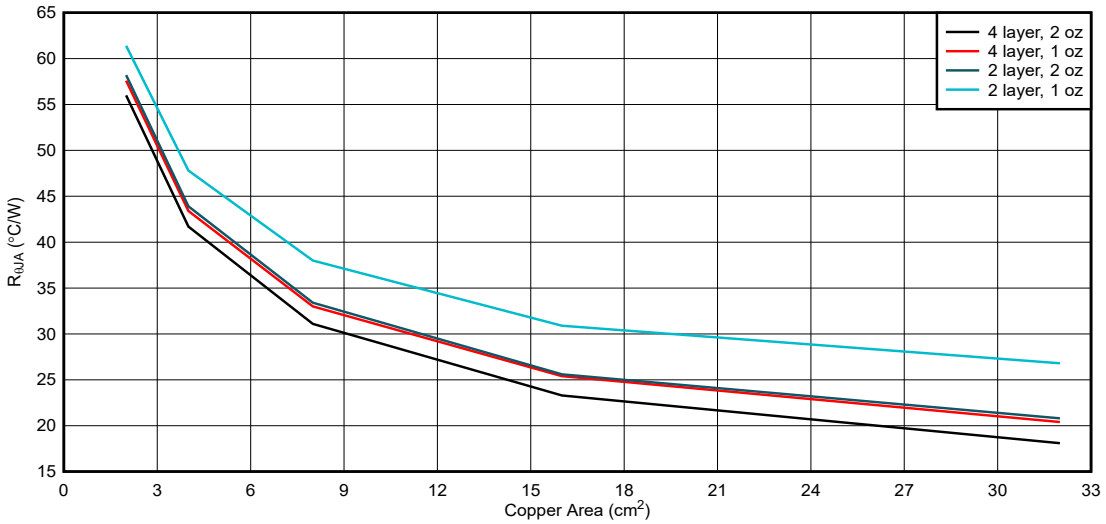


图 8-2. DDW 封装、PCB 结至环境热阻与铜面积间的关系

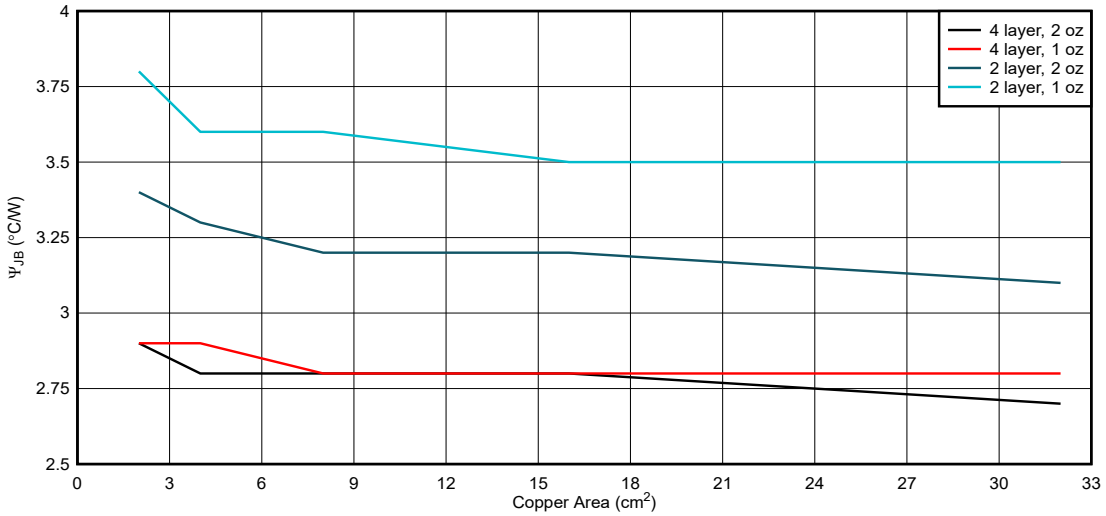


图 8-3. DDW 封装、结至电路板特征参数与铜面积间的关系

8.1.1.2 瞬态热性能

驱动器可能会经历不同的瞬态驱动条件，导致大电流在短时间内流动。它们包括：

- 转子最初静止时的电机启动。
- 电机输出之一的电源或接地短路且触发过流保护时的故障条件。
- 在有限的时间内为电机或螺线管短暂通电，然后再断电。

对于这些瞬态情况，除了铜面积和覆铜厚度之外，驱动持续时间是影响热性能的另一个因素。在瞬态情况中，热阻抗参数 $Z_{\theta JA}$ 表示结至环境热性能。本部分中的这些图展示了 DDW 封装的 1oz 和 2oz 铜布局的模拟热阻抗。这些图表表明，短电流脉冲具有更好的热性能。对于更短的驱动时间，器件的裸片尺寸和封装决定了热性能。对于更长的驱动脉冲，电路板布局布线对热性能的影响更大。这两个图表都显示了随着驱动脉冲持续时间的增加，层数和覆铜区导致的热阻抗分裂曲线。可以将长脉冲视为稳态性能。

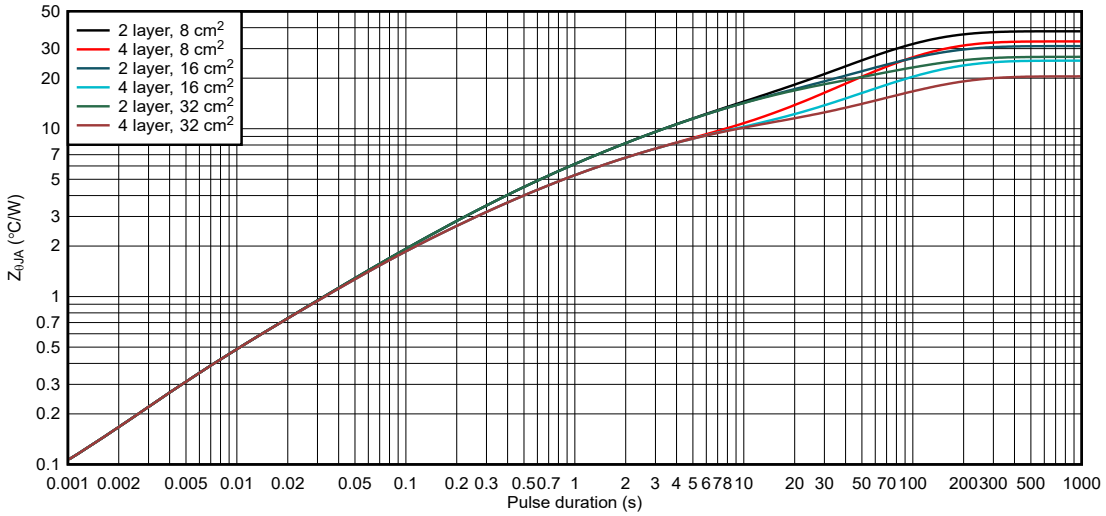


图 8-4. 1oz 铜布局的 DDW 封装结温至环境温度热阻抗

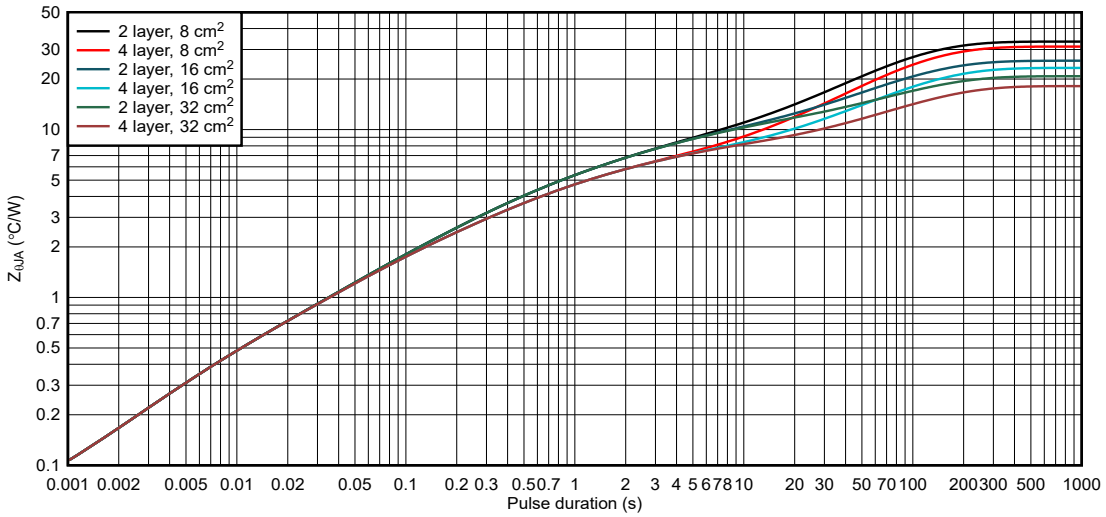


图 8-5. 2oz 铜布局的 DDW 封装结温至环境温度热阻抗

Copyright © 2025 Texas Instruments Incorporated

8.2 DDV 封装

DDV 封装旨在通过导热界面材料（例如，Arctic Silver 的 Ceramique、TIMTronics 413 等）直接连接至散热器。散热器吸收来自 DRV8262 的热量并将热量传递到空气中。通过适当的热管理，该过程可以达到平衡，热量可以持续从器件中传递出来。DDV 封装顶部散热器的概念图如图 8-6 所示。

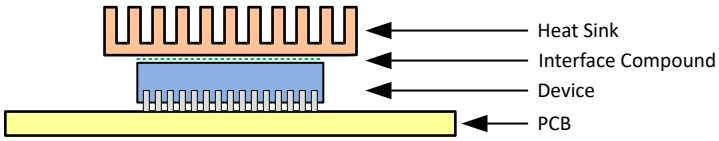


图 8-6. DDV 封装上的散热器

安装散热器时必须小心，要与散热焊盘保持接触良好，并且不要超过器件的机械应力，以免损坏。DDV 封装能够承受高达 90N 的负载。在生产中，TI 建议施加小于 45N 的负载扭矩。

$R_{\theta JA}$ 是结至环境空气的系统热阻。因此，$R_{\theta JA}$ 是一个系统参数，包含以下各项：

- DDV 封装的 $R_{\theta JC}$（结至外露焊盘的热阻）
- 热界面材料的热阻
- 散热器的热阻

$R_{\theta JA} = R_{\theta JC}$ + 热界面电阻 + 散热器电阻

导热界面材料的热阻可以通过外露金属封装的面积和制造商的面积热阻值（以 °Cmm^2/W 为单位）来确定。例如，厚度为 0.0254mm（0.001 英寸）的典型白色导热油脂的热阻为 4.52°Cmm^2/W。DDV 封装的外露面积为 28.7mm^2。通过将面积热阻除以外露的金属面积，可以确定界面材料的热阻为 0.157°C/W。

散热器热阻由散热器供应商预测，使用连续流动力学 (CFD) 模型建模或测量。以下是选择散热器时的各种重要参数。

1. 热阻
2. 气流
3. 体积电阻
4. 散热片密度
5. 散热片间距
6. 宽度
7. 长度

热阻是一个随可用空气流量动态变化的参数。

空气流量通常以 LFM（线性英尺/分钟）或 CFM（立方英尺/分钟）为单位。LFM 是速度的量度，而 CFM 是体积的量度。通常，风扇制造商使用 CFM，因为风扇的等级是根据其能调动的空气量来确定的。速度对于板级散热更有意义，这就是大多数电源转换器制造商提供的降额曲线都使用它的原因。

通常，空气流量被归类为自然对流或强制对流。

- 自然对流是一种没有外部诱导型流动的情况，热传递取决于散热器周围的空气。辐射热传递的影响在自然对流中非常重要，因为辐射换热大概占总散热量的 25%。除非元件正对附近温度更高的表面，否则必须对散热器表面进行喷漆以增强辐射。
- 当通过机械方式（一般为风扇或鼓风机）诱导空气流动时，就会发生强制对流。

热预算和空间有限，因而需选择特定类型的散热器，这一点非常重要。这正是散热器体积发挥作用的地方。在给定流动条件下，可以使用以下公式计算散热器的体积：

体积$_{（散热器）}$ = 体积电阻 (Cm^3°C/W)/热阻 θ_{SA} (°C/W)

下表给出了体积电阻的大致范围：

Copyright © 2025 Texas Instruments Incorporated

可用空气流量 (LFM)	体积电阻 ($Cm^3°C/W$)
NC	500 – 800
200	150 - 250
500	80 - 150
1000	50 - 80

散热器性能的下一个重要标准是宽度。在垂直于气流的方向上，散热器的宽度与其性能成线性正比。散热器的宽度增加 2 倍、3 倍或 4 倍，散热能力就会增加 2 倍、3 倍或 4 倍。类似地，所用散热片长度的平方根与散热器在平行于空气流量方向上的性能大致成正比。如果散热器的长度增加 2 倍、3 倍或 4 倍，则散热能力只会增加 1.4 倍、1.7 倍或 2 倍。

若电路板空间充足，增加散热器宽度比增加长度更有利。在实现实际正确的散热器设计之前，这只是一个迭代过程的开始。

散热器必须在 IC 的每一端有机械支撑。这种安装方式可确保适当的压力，从而提供良好的机械、散热和电气接触。散热器应连接到 GND 或者保持悬空。

8.3 PCB 材料推荐

建议使用 FR-4 玻璃环氧树脂材料，并在顶层和底层采用 2oz (70 μm) 铜，从而提升热性能并增加 EMI 裕量（由于 PCB 布线电感较低）。

Copyright © 2025 Texas Instruments Incorporated

9 器件和文档支持

TI 提供广泛的开发工具。下面列出了用于评估器件性能、生成代码和开发设计的工具和软件。

9.1 文档支持

9.1.1 相关文档

- 德州仪器 (TI)，*计算电机驱动器的功耗*应用报告
- 德州仪器 (TI)，*电流再循环和衰减模式*应用报告
- 德州仪器 (TI)，*了解电机驱动器电流额定值*应用报告
- 德州仪器 (TI)，*电机驱动器布局指南*应用报告
- 德州仪器 (TI)，*半导体和 IC 封装热指标* 应用报告
- 德州仪器 (TI)，*驱动 TEC 应考虑哪些电机驱动器*

9.2 接收文档更新通知

要接收文档更新通知，请导航至 ti.com 上的器件产品文件夹。点击*通知* 进行注册，即可每周接收产品信息更改摘要。有关更改的详细信息，请查看任何已修订文档中包含的修订历史记录。

9.3 支持资源

TI E2E™ 中文支持论坛是工程师的重要参考资料，可直接从专家处获得快速、经过验证的解答和设计帮助。搜索现有解答或提出自己的问题，获得所需的快速设计帮助。

链接的内容由各个贡献者“按原样”提供。这些内容并不构成 TI 技术规范，并且不一定反映 TI 的观点；请参阅 TI 的使用条款。

9.4 商标

TI E2E™ is a trademark of Texas Instruments.
所有商标均为其各自所有者的财产。

9.5 静电放电警告

静电放电 (ESD) 会损坏这个集成电路。德州仪器 (TI) 建议通过适当的预防措施处理所有集成电路。如果不遵守正确的处理和安装程序，可能会损坏集成电路。

ESD 的损坏小至导致微小的性能降级，大至整个器件故障。精密的集成电路可能更容易受到损坏，这是因为非常细微的参数更改都可能会导致器件与其发布的规格不相符。

9.6 术语表

TI 术语表	本术语表列出并解释了术语、首字母缩略词和定义。

10 修订历史记录

注：以前版本的页码可能与当前版本的页码不同

Changes from Revision B (October 2024) to Revision C (July 2025)	Page
• 更新了 CPL/CPH 说明。	3

Changes from Revision A (July 2023) to Revision B (October 2024)	Page
• 删除了不完整的器件引用	1

Copyright © 2025 Texas Instruments Incorporated

Changes from Revision * (July 2023) to Revision A (July 2023)	Page
• 更新了 *表 5-1* 表	8

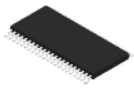
11 机械、封装和可订购信息

下述页面包含机械、封装和订购信息。这些信息是指定器件可用的最新数据。数据如有变更，恕不另行通知，且不会对此文档进行修订。有关此数据表的浏览器版本，请查阅左侧的导航栏。

Copyright © 2025 Texas Instruments Incorporated

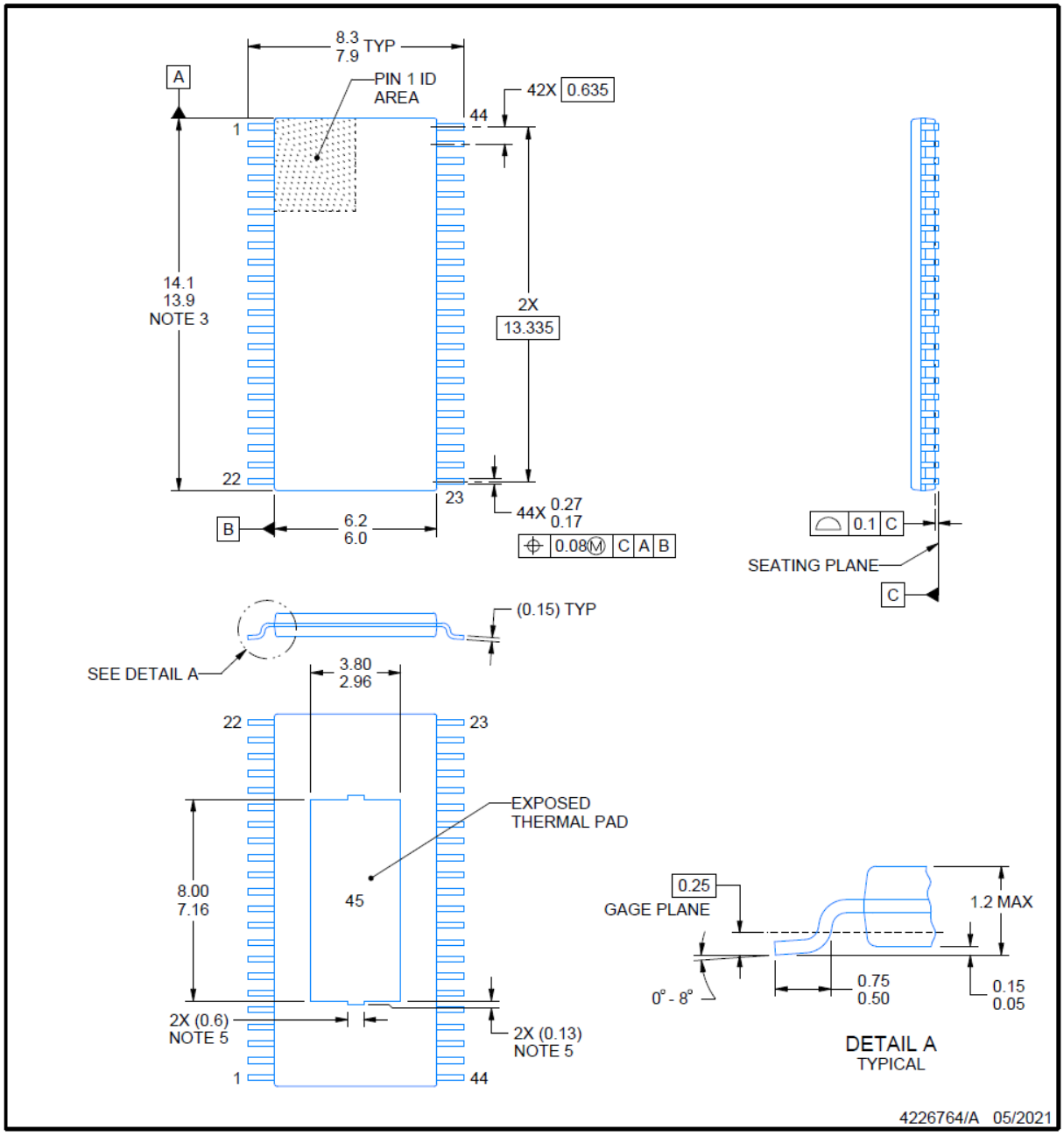
PACKAGE OUTLINE

DDW0044E



PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.

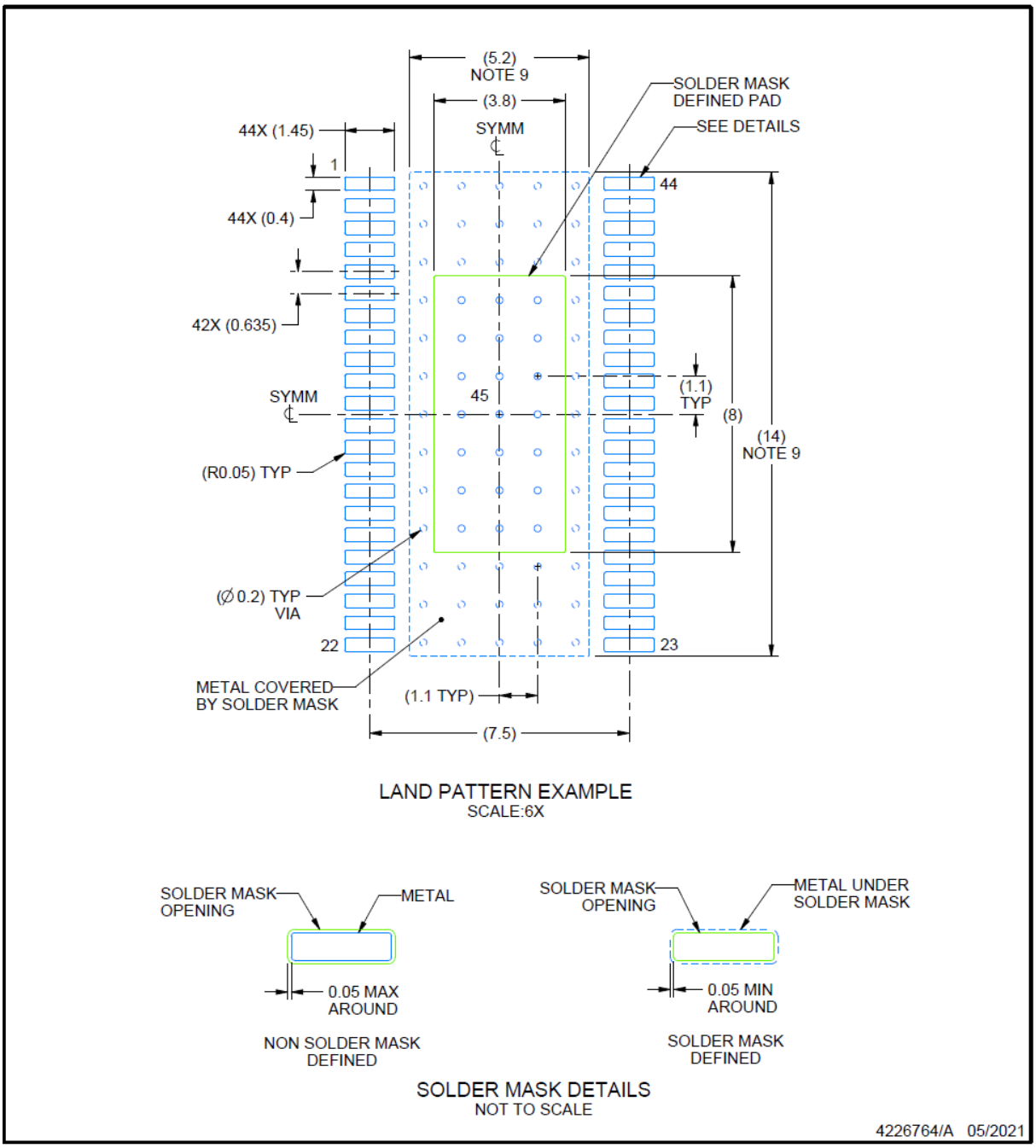
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.

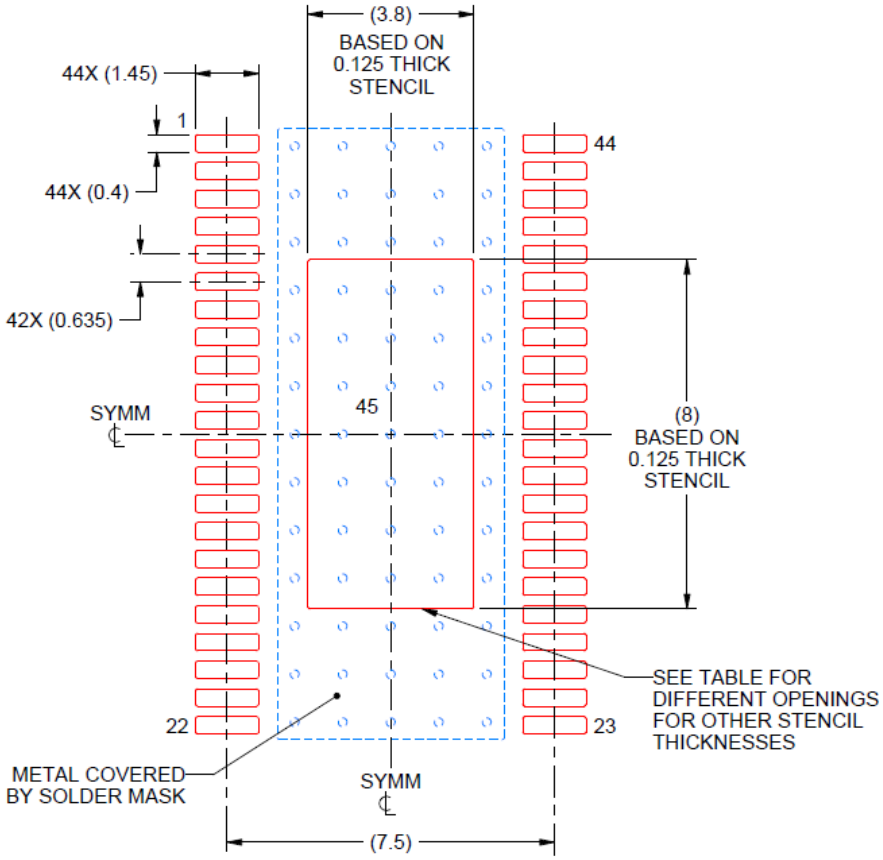
Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
PAD 45:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.25 X 8.94
0.125	3.80 X 8.00 (SHOWN)
0.15	3.47 X 7.30
0.175	3.21 X 6.76

4226764/A 05/2021

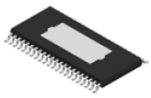
NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

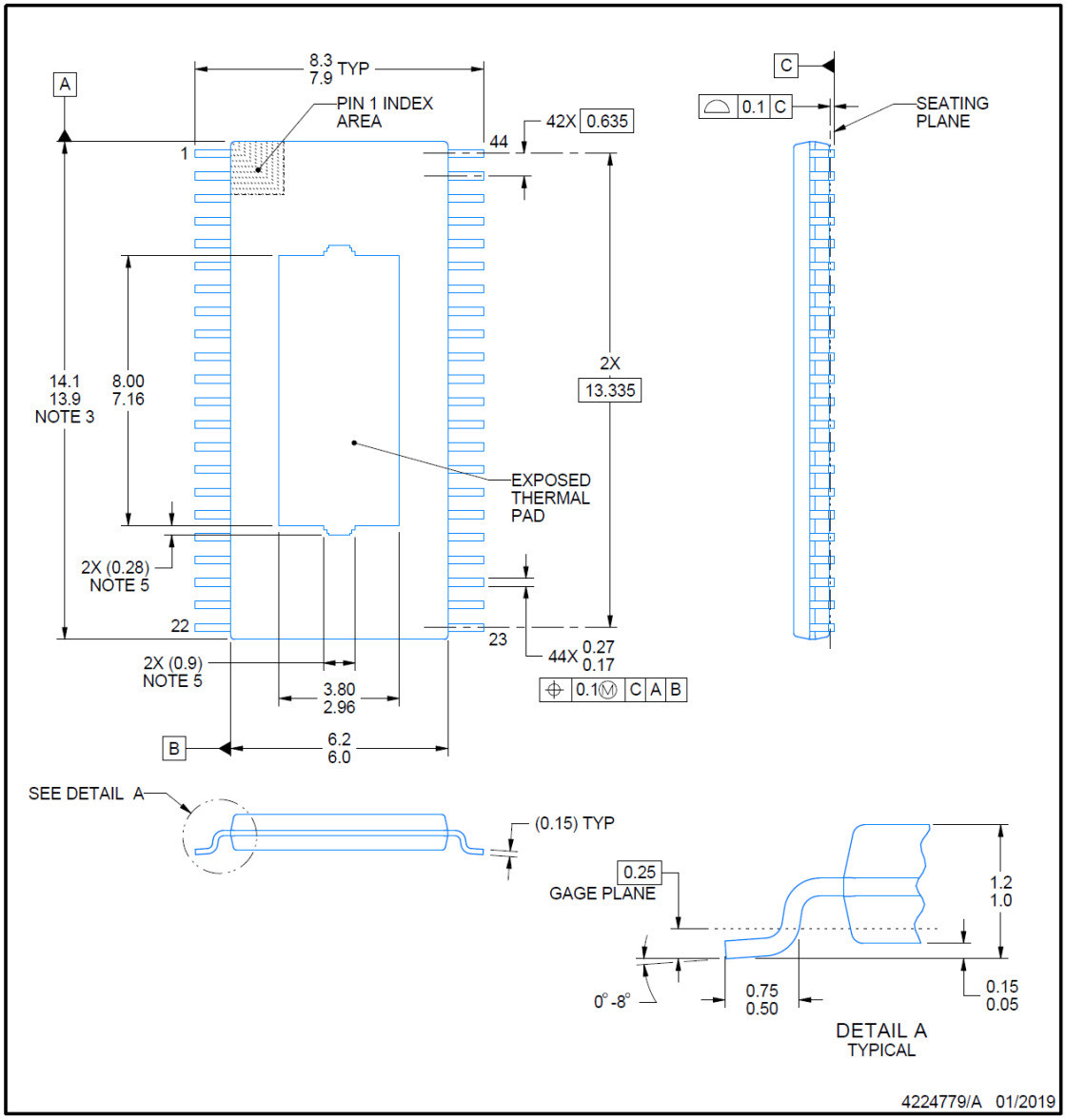
PACKAGE OUTLINE

DDV0044E



PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



PowerPAD is a trademark of Texas Instruments.

NOTES:

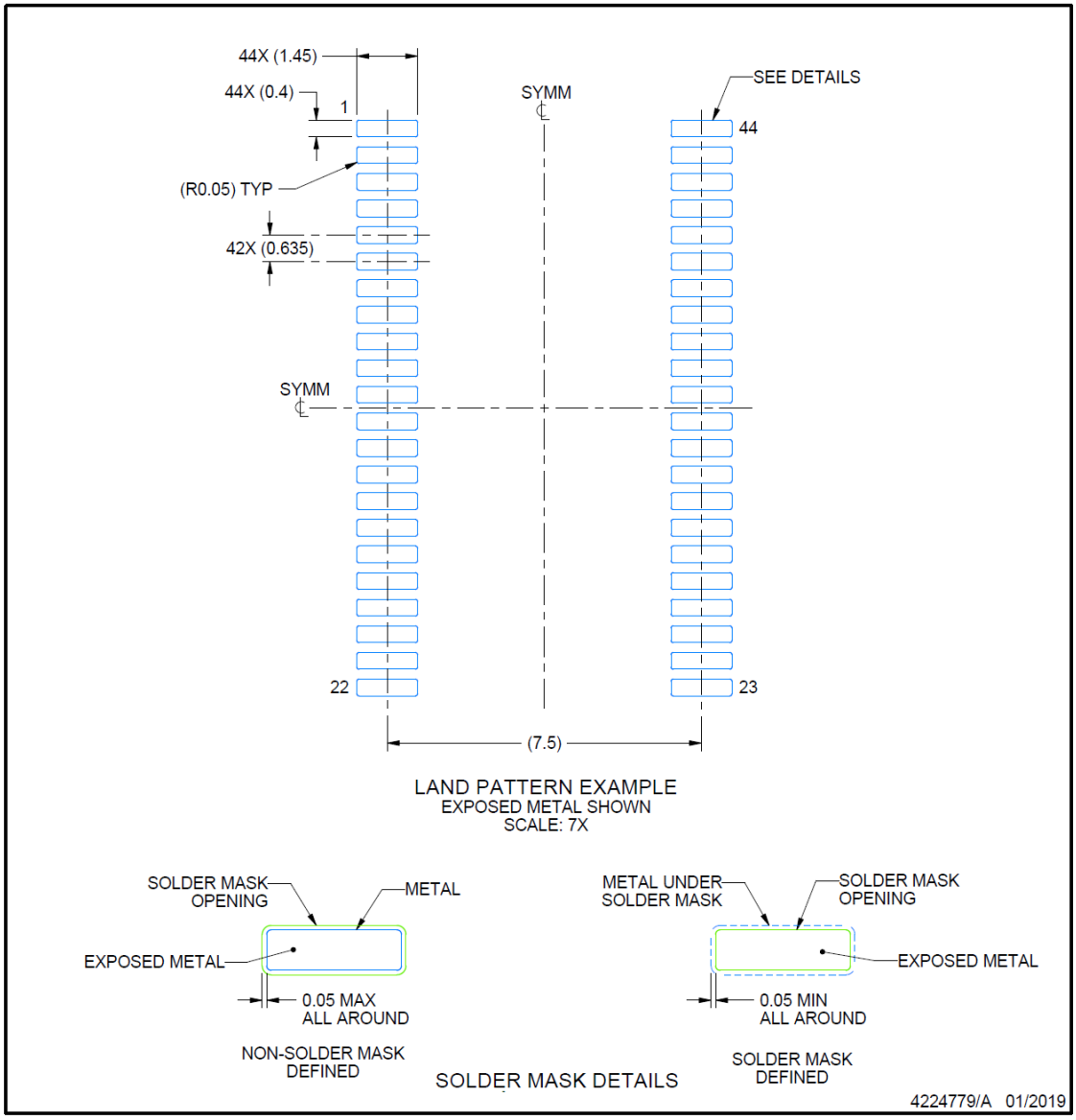
1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. The exposed thermal pad is designed to be attached to an external heatsink.
6. Features may differ or may not be present.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE BOARD LAYOUT

DDV0044E — **PowerPAD™ TSSOP - 1.2 mm max height**

PLASTIC SMALL OUTLINE



NOTES: (continued)

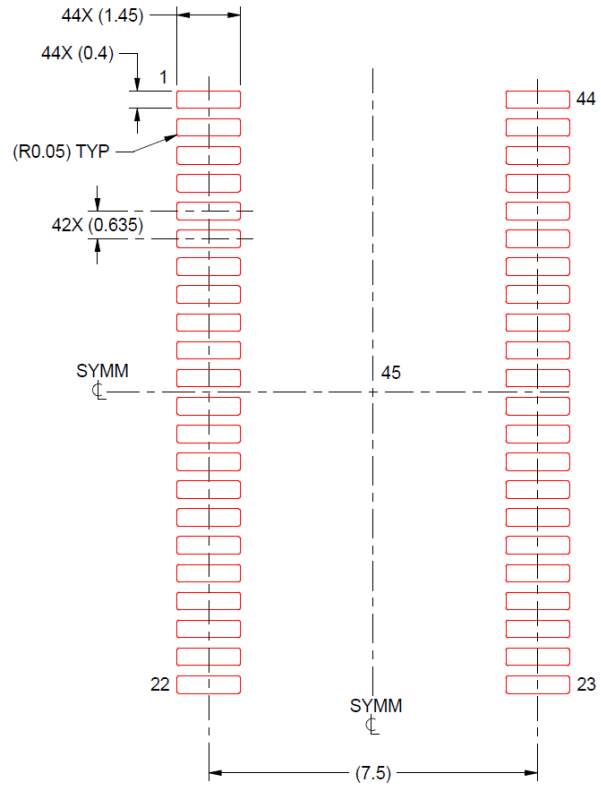
7. Publication IPC-7351 may have alternate designs.
8. Solder mask tolerances between and around signal pads can vary based on board fabrication site.

Copyright © 2025 Texas Instruments Incorporated

EXAMPLE STENCIL DESIGN

DDV0044E — **PowerPAD™ TSSOP - 1.2 mm max height**

PLASTIC SMALL OUTLINE



SOLDER PASTE EXAMPLE
BASED ON 0.125 mm THICK STENCIL
SCALE: 7X

4224779/A 01/2019

NOTES: (continued)

9. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
10. Board assembly site may have different recommendations for stencil design.

Copyright © 2025 Texas Instruments Incorporated

PACKAGING INFORMATION

Orderable part number	Status (1)	Material type (2)	Package | Pins	Package qty | Carrier	RoHS (3)	Lead finish/ Ball material (4)	MSL rating/ Peak reflow (5)	Op temp (°C)	Part marking (6)
DRV8262DDVR	Active	Production	HTSSOP (DDV) | 44	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8262
DRV8262DDVR.A	Active	Production	HTSSOP (DDV) | 44	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8262
DRV8262DDWR	Active	Production	HTSSOP (DDW) | 44	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8262
DRV8262DDWR.A	Active	Production	HTSSOP (DDW) | 44	2500 | LARGE T&R	Yes	NIPDAU	Level-3-260C-168 HR	-40 to 125	DRV8262

(1) **Status:** For more details on status, see our product life cycle.

(2) **Material type:** When designated, preproduction parts are prototypes/experimental devices, and are not yet approved or released for full production. Testing and final process, including without limitation quality assurance, reliability performance testing, and/or process qualification, may not yet be complete, and this item is subject to further changes or possible discontinuation. If available for ordering, purchases will be subject to an additional waiver at checkout, and are intended for early internal evaluation purposes only. These items are sold without warranties of any kind.

(3) **RoHS values:** Yes, No, RoHS Exempt. See the TI RoHS Statement for additional information and value definition.

(4) **Lead finish/Ball material:** Parts may have multiple material finish options. Finish options are separated by a vertical ruled line. Lead finish/Ball material values may wrap to two lines if the finish value exceeds the maximum column width.

(5) **MSL rating/Peak reflow:** The moisture sensitivity level ratings and peak solder (reflow) temperatures. In the event that a part has multiple moisture sensitivity ratings, only the lowest level per JEDEC standards is shown. Refer to the shipping label for the actual reflow temperature that will be used to mount the part to the printed circuit board.

(6) **Part marking:** There may be an additional marking, which relates to the logo, the lot trace code information, or the environmental category of the part.

Multiple part markings will be inside parentheses. Only one part marking contained in parentheses and separated by a "~" will appear on a part. If a line is indented then it is a continuation of the previous line and the two combined represent the entire part marking for that device.

Important Information and Disclaimer: The information provided on this page represents TI's knowledge and belief as of the date that it is provided. TI bases its knowledge and belief on information provided by third parties, and makes no representation or warranty as to the accuracy of such information. Efforts are underway to better integrate information from third parties. TI has taken and continues to take reasonable steps to provide representative and accurate information but may not have conducted destructive testing or chemical analysis on incoming materials and chemicals. TI and TI suppliers consider certain information to be proprietary, and thus CAS numbers and other limited information may not be available for release.

In no event shall TI's liability arising out of such information exceed the total purchase price of the TI part(s) at issue in this document sold by TI to Customer on an annual basis.

OTHER QUALIFIED VERSIONS OF DRV8262 :

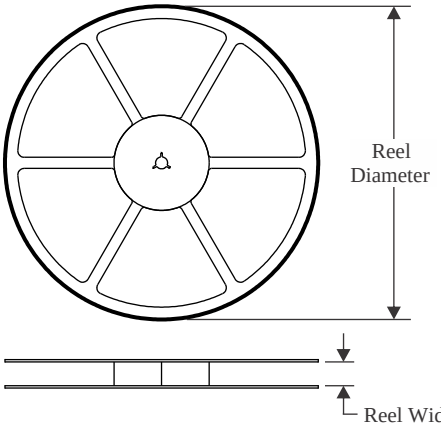
- Automotive : DRV8262-Q1

NOTE: Qualified Version Definitions:

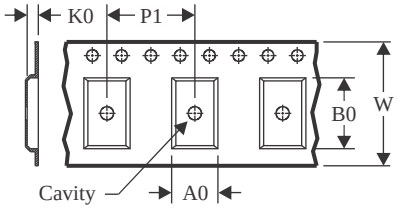
- Automotive - Q100 devices qualified for high-reliability automotive applications targeting zero defects

TAPE AND REEL INFORMATION

REEL DIMENSIONS

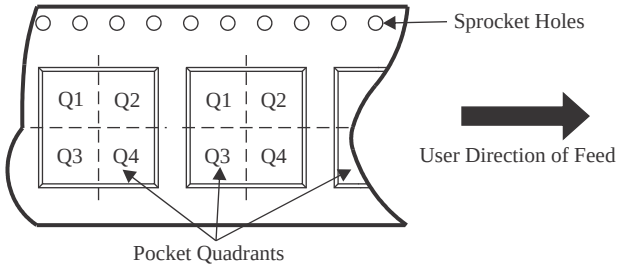


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

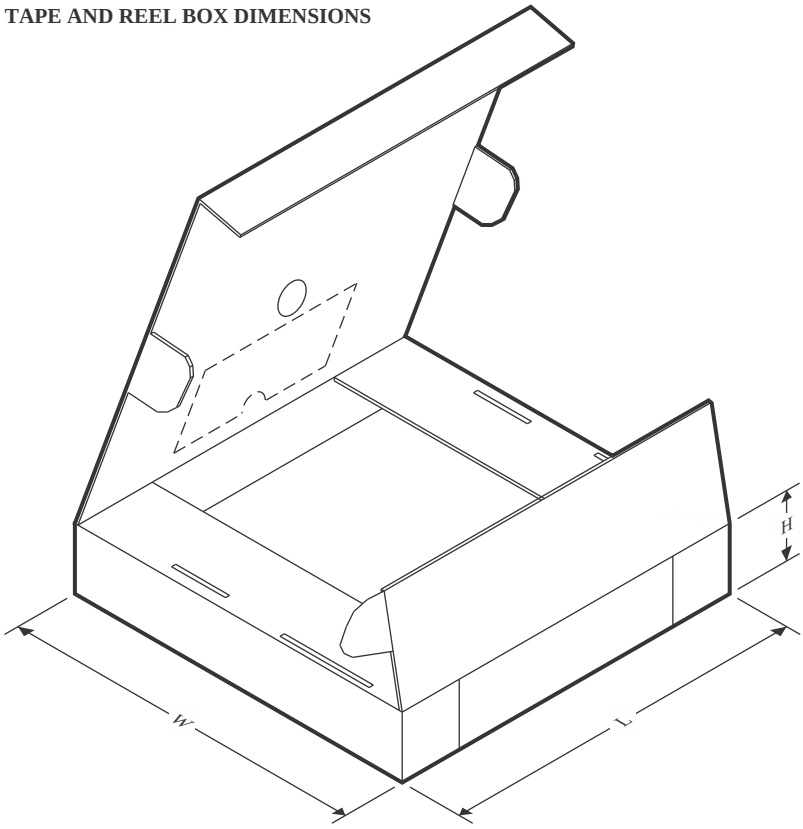
QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
DRV8262DDVR	HTSSOP	DDV	44	2500	330.0	24.4	8.9	14.7	1.4	12.0	24.0	Q1
DRV8262DDWR	HTSSOP	DDW	44	2500	330.0	24.4	8.9	14.7	1.4	12.0	24.0	Q1

TAPE AND REEL BOX DIMENSIONS

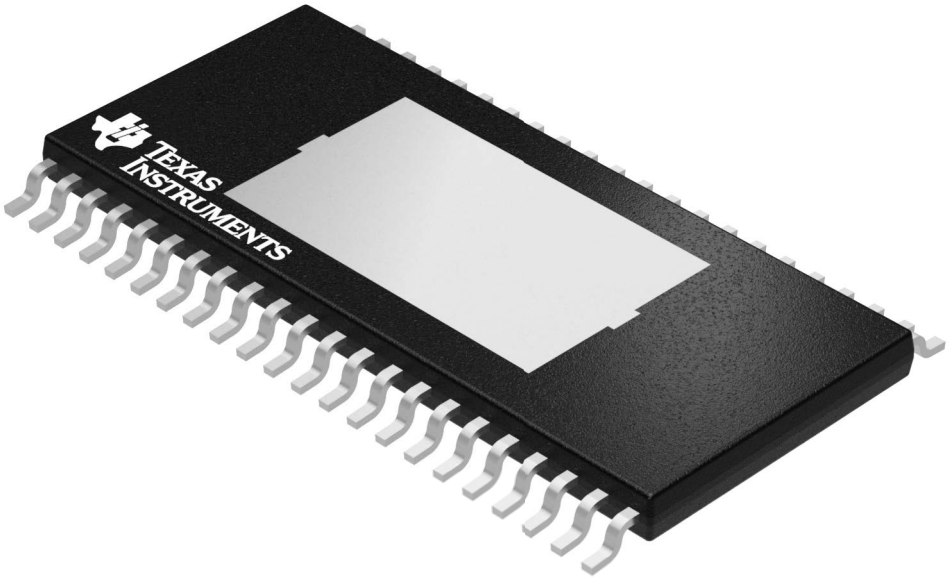


*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Length (mm)	Width (mm)	Height (mm)
DRV8262DDVR	HTSSOP	DDV	44	2500	356.0	356.0	45.0
DRV8262DDWR	HTSSOP	DDW	44	2500	356.0	356.0	45.0

DDV 44 PowerPAD™ TSSOP - 1.2 mm max height

PLASTIC SMALL OUTLINE



Images above are just a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.

GENERIC PACKAGE VIEW

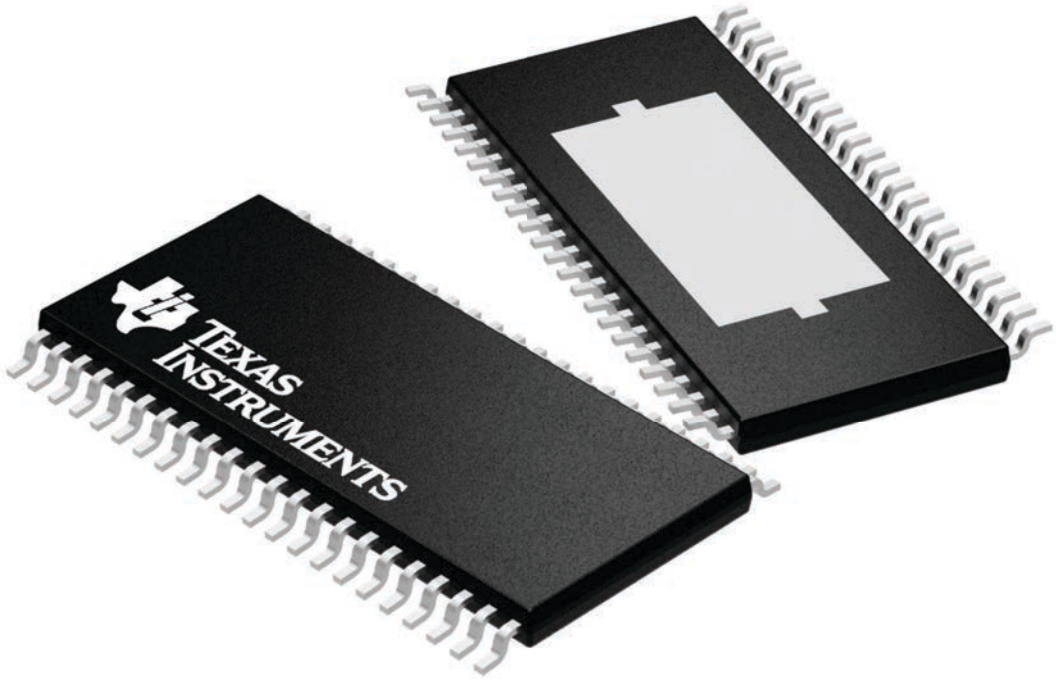
DDW 44

PowerPAD TSSOP - 1.2 mm max height

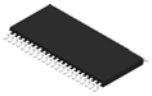
6.1 x 14, 0.635 mm pitch

PLASTIC SMALL OUTLINE

This image is a representation of the package family, actual package may vary.
Refer to the product data sheet for package details.



4224876/A

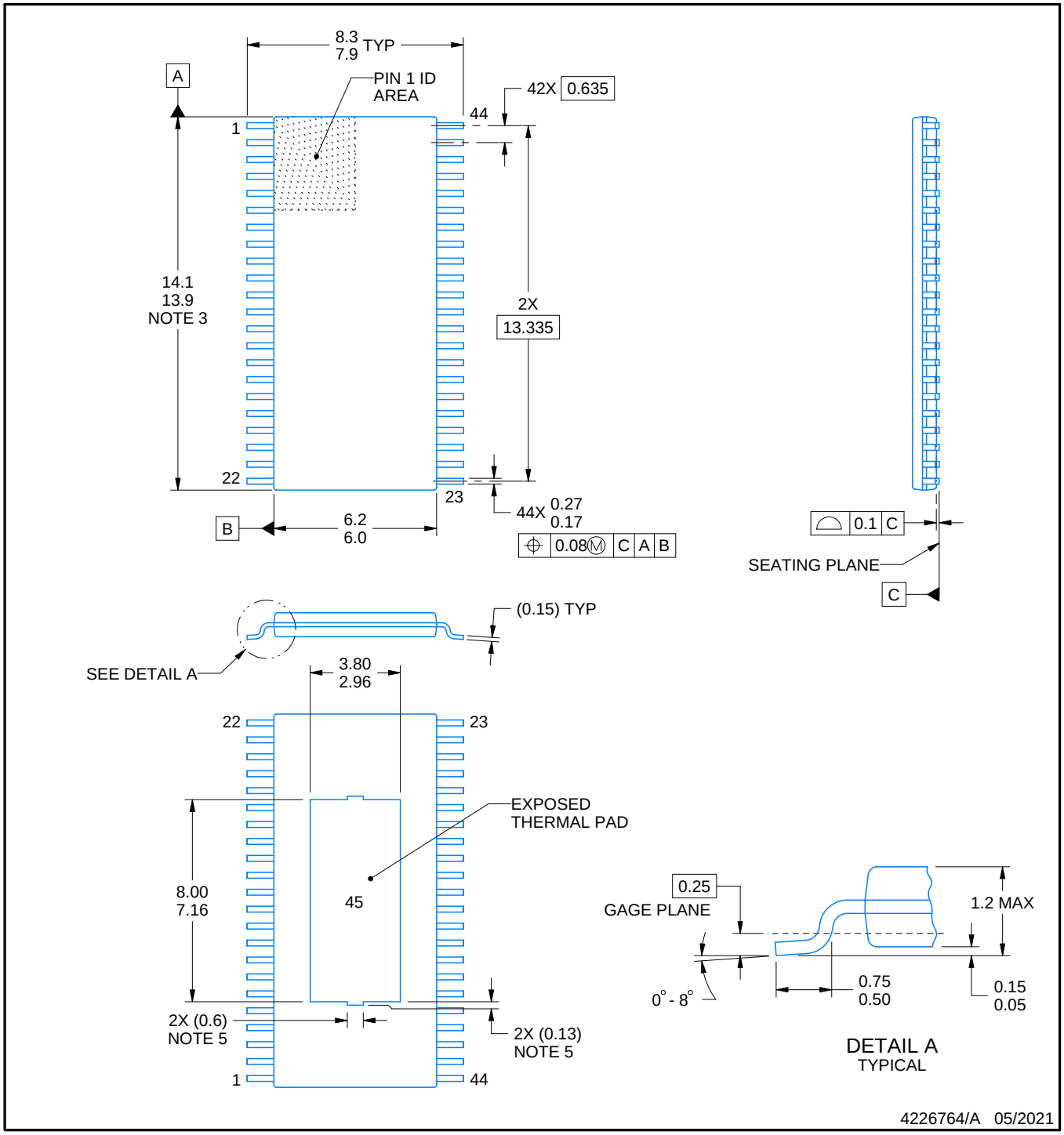


PACKAGE OUTLINE

DDW0044E

PowerPAD™ TSSOP - 1.2 mm max height

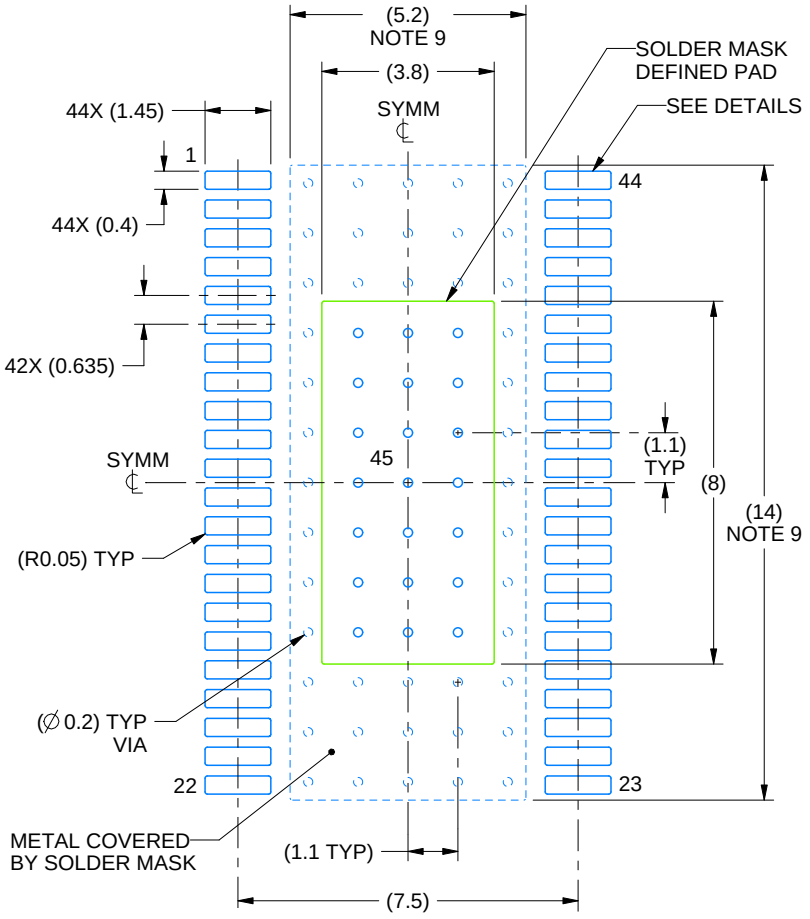
PLASTIC SMALL OUTLINE



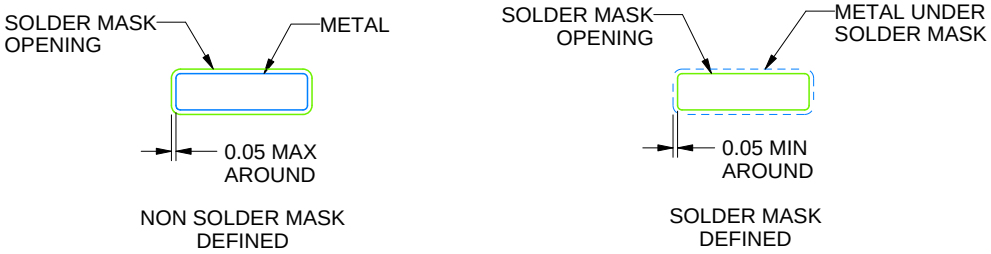
PowerPAD is a trademark of Texas Instruments.

NOTES:

1. All linear dimensions are in millimeters. Any dimensions in parenthesis are for reference only. Dimensioning and tolerancing per ASME Y14.5M.
2. This drawing is subject to change without notice.
3. This dimension does not include mold flash, protrusions, or gate burrs. Mold flash, protrusions, or gate burrs shall not exceed 0.15 mm per side.
4. Reference JEDEC registration MO-153.
5. Features may differ or may not be present.



LAND PATTERN EXAMPLE
SCALE:6X

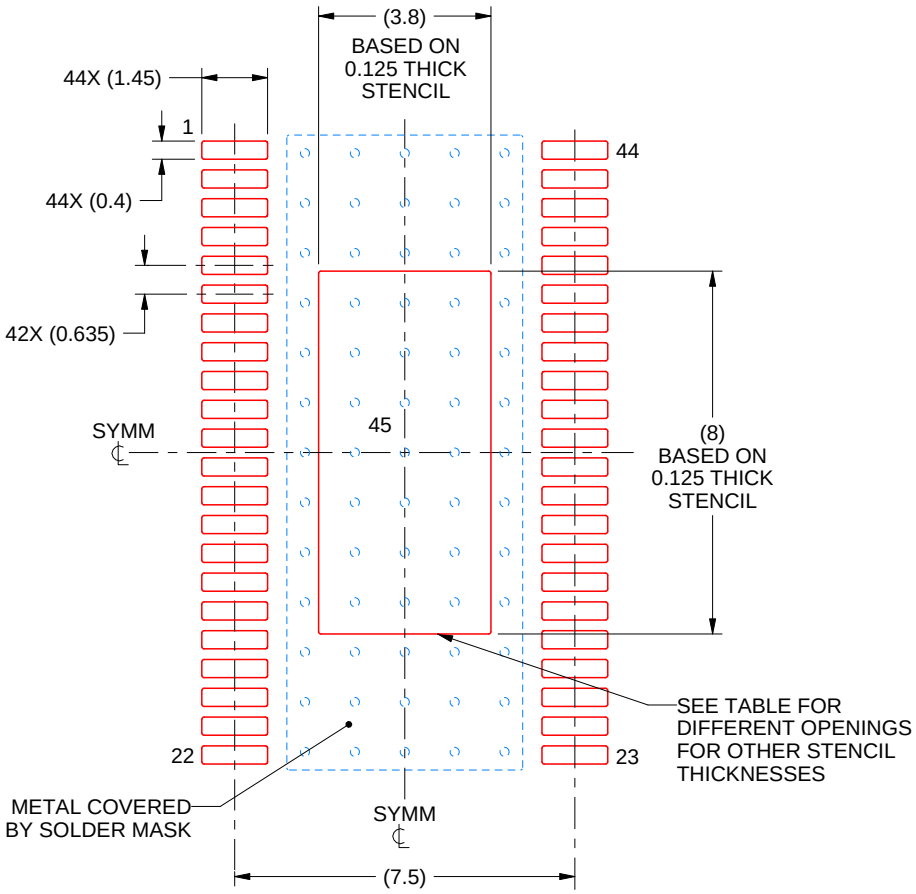


SOLDER MASK DETAILS
NOT TO SCALE

4226764/A 05/2021

NOTES: (continued)

6. Publication IPC-7351 may have alternate designs.
7. Solder mask tolerances between and around signal pads can vary based on board fabrication site.
8. This package is designed to be soldered to a thermal pad on the board. For more information, see Texas Instruments literature numbers SLMA002 (www.ti.com/lit/slma002) and SLMA004 (www.ti.com/lit/slma004).
9. Size of metal pad may vary due to creepage requirement.



SOLDER PASTE EXAMPLE
PAD 45:
100% PRINTED SOLDER COVERAGE BY AREA
SCALE:6X

STENCIL THICKNESS	SOLDER STENCIL OPENING
0.1	4.25 X 8.94
0.125	3.80 X 8.00 (SHOWN)
0.15	3.47 X 7.30
0.175	3.21 X 6.76

4226764/A 05/2021

NOTES: (continued)

10. Laser cutting apertures with trapezoidal walls and rounded corners may offer better paste release. IPC-7525 may have alternate design recommendations.
11. Board assembly site may have different recommendations for stencil design.

重要通知和免责声明

TI“按原样”提供技术和可靠性数据（包括数据表）、设计资源（包括参考设计）、应用或其他设计建议、网络工具、安全信息和其他资源，不保证没有瑕疵且不做出任何明示或暗示的担保，包括但不限于对适销性、与某特定用途的适用性或不侵犯任何第三方知识产权的暗示担保。

这些资源可供使用 TI 产品进行设计的熟练开发人员使用。您将自行承担以下全部责任：(1) 针对您的应用选择合适的 TI 产品，(2) 设计、验证并测试您的应用，(3) 确保您的应用满足相应标准以及任何其他安全、安保法规或其他要求。

这些资源如有变更，恕不另行通知。TI 授权您仅可将这些资源用于研发本资源所述的 TI 产品的相关应用。严禁以其他方式对这些资源进行复制或展示。您无权使用任何其他 TI 知识产权或任何第三方知识产权。对于因您对这些资源的使用而对 TI 及其代表造成的任何索赔、损害、成本、损失和债务，您将全额赔偿，TI 对此概不负责。

TI 提供的产品受 TI 销售条款)、TI 通用质量指南 或 ti.com 上其他适用条款或 TI 产品随附的其他适用条款的约束。TI 提供这些资源并不会扩展或以其他方式更改 TI 针对 TI 产品发布的适用的担保或担保免责声明。 除非德州仪器 (TI) 明确将某产品指定为定制产品或客户特定产品，否则其产品均为按确定价格收入目录的标准通用器件。

TI 反对并拒绝您可能提出的任何其他或不同的条款。

版权所有 © 2025，德州仪器 (TI) 公司

最后更新日期：2025 年 10 月